

Family list

17 family members for: **US6365933**

Derived from 11 applications

- 1 Semiconductor device and method of mfg. same**
Inventor: YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+1)
Applicant: SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L29/786S; H01L21/336D2B; (+3) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+8)
Publication info: **CN1163974C C** - 2004-08-25
CN1200577 A - 1998-12-02
- 2 Semiconductor device and its manufacturing method**
Inventor: JUNPEI YAMAZAKI (JP); HISASHI OTANI (JP); (+1)
Applicant: SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L29/786S; H01L21/336D2B; (+3) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+8)
Publication info: **CN1178270C C** - 2004-12-01
CN1272683 A - 2000-11-08
- 3 Semiconductor device and its producing method**
Inventor: SHUNPEI YAMAZAKI (JP); HISASHI OTANI (JP); (+1)
Applicant: SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L29/786S; H01L21/336D2B; (+3) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+8)
Publication info: **CN1261727 A** - 2000-08-02
CN1277312C C - 2006-09-27
- 4 Semiconductor device and method of manufacturing the same**
Inventor: TAKESHI YAMAZAKI SHUNPEI OHTANI (JP)
Applicant: SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** H01L27/12; H01L29/786; H01L21/336 (+)
Publication info: **CN1825598 A** - 2006-08-30
- 5 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Inventor: YAMAZAKI SHUNPEI; OTANI HISASHI; (+1)
Applicant: SEMICONDUCTOR ENERGY LAB
EC: **IPC:** H01L21/20; H01L21/336; H01L29/786 (+)
Publication info: **JP3597331B2 B2** - 2004-12-08
JP10135469 A - 1998-05-22
- 6 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Inventor: YAMAZAKI SHUNPEI; OTANI HISASHI; (+2)
Applicant: SEMICONDUCTOR ENERGY LAB
EC: **IPC:** H01L29/786; H01L21/336; H01L29/66 (+)
Publication info: **JP10125927 A** - 1998-05-15
- 7 A SEMICONDUCTOR DEVICE**
Inventor: FUKUNAGA TAKESHI (JP); KOYAMA JUN (JP); (+2)
Applicant: SEMICONDUCTOR ENERGY LAB K K (JP)
EC: H01L29/786S; H01L21/336D2B; (+3) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+6)
Publication info: **KR100488311B B1** - 2005-04-29
- 8 Semiconductor device and method of manufacturing the same**
Inventor: YAMAZAKI SHUNPEI (JP); OTANI HISASHI (JP); (+2)
Applicant: SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L29/786S; H01L21/336D2B; (+3) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+6)
Publication info: **TW451284B B** - 2001-08-21
- 9 Semiconductor device and method of manufacturing the same**
Inventor: YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+2)
Applicant: SEMICONDUCTOR ENERGY LAB (JP)
EC: H01L29/786S; H01L21/336D2B; (+3) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+6)
Publication info: **US6365933 B1** - 2002-04-02
- 10 Semiconductor device and method of manufacturing the same**
Inventor: YAMAZAKI SHUNPEI (JP); OHTANI HISASHI (JP); (+2)
Applicant: SEMICONDUCTOR ENERGY LAB (US)
EC: H01L29/786S; H01L21/336D2B; (+3) **IPC:** H01L21/336; H01L21/84; H01L27/12 (+8)

Publication info: US7023052 B2 - 2006-04-04

US2002100937 A1 - 2002-08-01

11 Semiconductor device and method of manufacturing the same

Inventor: YAMAZAKI SHUNPEI (JP); OHTANI
HISASHI (JP); (+2)

Applicant: SEMICONDUCTOR ENERGY LAB

EC: H01L29/786S; H01L21/77T; (+1)

IPC: H01L21/84; H01L29/76; H01L29/786 (+3)

Publication info: US7138658 B2 - 2006-11-21

US2005194595 A1 - 2005-09-08

Data supplied from the *esp@cenet* database - Worldwide

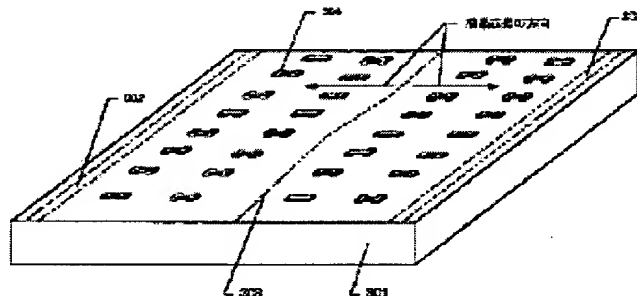
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP10135469
Publication date: 1998-05-22
Inventor: YAMAZAKI SHUNPEI; OTANI HISASHI; KOYAMA JUN
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: **H01L21/20; H01L21/336; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L29/786; H01L21/20; H01L21/336**
- european:
Application number: JP19960301250 19961024
Priority number(s): JP19960301250 19961024

Report a data error here

Abstract of JP10135469

PROBLEM TO BE SOLVED: To improve the field effect mobility by forming an active layer so that its grain boundaries are oriented in substantially one direction and formed as a crystal structure of aggregated acicular or columnar crystals approximately parallel to a substrate. **SOLUTION:** The configuration of an active layer is important. At crystallizing e.g. acicular or columnar crystals grow approximately in one direction to an Ni-added region 302. An island like semiconductor 304 is configured to arrange channels and the crystal grain boundary of the acicular or columnar crystals substantially in one direction. An a post-process, it is heat-treated in a halogen atmosphere to remove a metal element e.g. Ni in the active layer to reduce the Ni concn. to $1 \times 10^{16} - 5 \times 10^{17}$ atoms/cm³. The standard deviation of the S-value showing electric characteristics of a TFT can remain within 10mV/dec in an n-type and within 15mV/dec in a p-channel type.



Data supplied from the **esp@cenet** database - Worldwide

(51) Int. Cl. ⁶
H01L 29/786
21/20
21/336

識別記号

F I

H01L 29/78 618 G
21/20
29/78 616 A
616 S

審査請求 未請求 請求項の数23 F D (全25頁)

(21) 出願番号 特願平8-301250

(22) 出願日 平成8年(1996)10月24日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 小山 潤

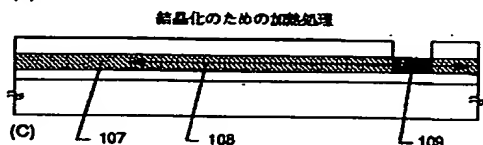
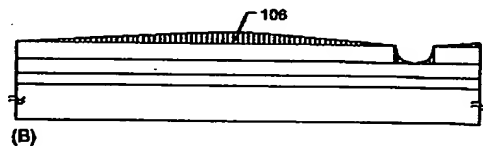
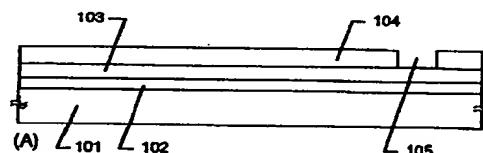
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【目的】 MOSFETに匹敵する性能を有した半導体装置を提供する。

【構成】 結晶化を助長する金属元素を利用して結晶化した結晶性珪素膜107で活性層を形成し、さらにハロゲン元素を含む雰囲気中における加熱処理を行って前記金属元素のゲッターリング除去を行なう。この処理を経た活性層110は針状または柱状結晶が複数集合した結晶構造体で構成される。この結晶構造体を利用して作製された半導体装置は極めて高い性能を有する。



【特許請求の範囲】

【請求項 1】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有する絶縁ゲイト型の半導体装置であつて、

前記活性層中には結晶化を助長する金属元素が $1 \times 10^{14} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ の濃度で存在し、

電気特性を表す S 値の標準偏差が N チャネル型で 10 mV/dec 以内および／または P チャネル型で 15 mV/dec 以内に収まることを特徴とする半導体装置。

【請求項 2】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有する絶縁ゲイト型の半導体装置であつて、

前記活性層中には結晶化を助長する金属元素が $1 \times 10^{14} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ の濃度で存在し、

電気特性を表す S 値が N チャネル型で $80 \pm 30 \text{ mV/dec}$ 以内および／または P チャネル型で $80 \pm 45 \text{ mV/dec}$ 以内に収まることを特徴とする半導体装置。

【請求項 3】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有した構造でなり、

前記活性層中には結晶化を助長する金属元素が $1 \times 10^{14} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ の濃度で存在し、かつ、電気特性

を表す S 値の標準偏差が N チャネル型で 10 mV/dec 以内および／または P チャネル型で 15 mV/dec 以内に収まる絶縁ゲイト型半導体装置を有して構成されることを特徴とする半導体装置。

【請求項 4】絶縁表面を有する基体上に形成された結晶性珪素膜でなる活性層と、

前記活性層表面に形成されたゲイト絶縁膜と、

前記ゲイト絶縁膜上のゲイト電極と、

を少なくとも有した構造でなり、

前記活性層中には結晶化を助長する金属元素が $1 \times 10^{14} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ の濃度で存在し、かつ、電気特性

を表す S 値が N チャネル型で $80 \pm 30 \text{ mV/dec}$ 以内および／または P チャネル型で $80 \pm 45 \text{ mV/dec}$ 以内に収まる絶縁ゲイト型半導体装置を有して構成されることを特徴とする半導体装置。

【請求項 5】請求項 1 乃至請求項 4 において、前記ゲイト絶縁膜は気相法により成膜した酸化膜と前記活性層を熱酸化して得られた熱酸化膜とで構成されることを特徴とする半導体装置。

【請求項 6】請求項 5 において、前記熱酸化膜中には前

記気相法により成膜した酸化膜中よりも高濃度に結晶化を助長する金属元素が存在していることを特徴とする半導体装置。

【請求項 7】請求項 1 乃至請求項 4 において、前記活性層は前記基体と概略平行な針状または柱状結晶が集合して構成される結晶構造体であつて、

前記針状または柱状結晶は概略一方向に揃って延在し、かつ、その方向性がチャネル方向に対して特定の角度を有する様に制御されていることを特徴とする半導体装置。

【請求項 8】請求項 1 乃至請求項 4 において、前記活性層は前記基体と概略平行な針状または柱状結晶が集合して構成される結晶構造体であつて、

前記針状または柱状結晶は概略一方向に揃って延在し、かつ、その方向性がチャネル方向と概略一致する様に制御されていることを特徴とする半導体装置。

【請求項 9】絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、

前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、

前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、

第 1 の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、

前記マスク絶縁膜を除去する工程と、

パターンニングにより前記結晶性珪素膜のみで構成される活性層を形成する工程と、

前記活性層上にゲイト絶縁膜を成膜する工程と、

ハロゲン元素を含む雰囲気中において第 2 の加熱処理を行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に前記活性層と前記ゲイト絶縁膜との界面に熱酸化膜を形成する工程と、

窒素雰囲気中における第 3 の加熱処理により前記熱酸化膜を含めた前記ゲイト絶縁膜の膜質および界面の状態を改善する工程と、

を少なくとも経て作製され、

前記活性層は結晶粒界が概略一方向に揃い、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする半導体装置。

【請求項 10】請求項 9 において、第 1 の加熱処理は $450 \sim 700$ °C の温度範囲で行われ、第 2 または第 3 の加熱処理は 700 °C を越える温度範囲で行われることを特徴とする半導体装置。

【請求項 11】請求項 9 において、前記活性層中には結晶化を助長する金属元素が $1 \times 10^{14} \sim 5 \times 10^{17} \text{ atoms/cm}^2$ の濃度で存在し、かつ、電気特性を表す S 値の標準偏差が N チャネル型で 10 mV/dec 以内および／または P チャネル型で 15 mV/dec 以内に収まることを特徴とする半導体装置。

【請求項 1 2】請求項 9 において、前記活性層中には結晶化を助長する金属元素が $1 \times 10^{14} \sim 5 \times 10^{17}$ atoms/cm² の濃度で存在し、かつ、電気特性を表す S 値が N チャネル型で 80 ± 30 mV/dec 以内および／または P チャネル型で 80 ± 45 mV/dec 以内に収まることを特徴とする半導体装置。

【請求項 1 3】請求項 1 乃至請求項 4 または請求項 7 乃至請求項 9 において、前記活性層のチャネル形成領域の長さは $0.01 \sim 2 \mu\text{m}$ であることを特徴とする半導体装置。

【請求項 1 4】請求項 1 乃至請求項 4 または請求項 7 乃至請求項 9 において、前記活性層中には C 1、F、Br から選ばれた一種または複数種類の元素が $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm² の濃度で存在することを特徴とする半導体装置。

【請求項 1 5】請求項 1 乃至請求項 4 または請求項 7 乃至請求項 9 において、前記活性層中には C 1、F、Br から選ばれた一種または複数種類の元素が含まれ、前記元素は前記活性層と前記ゲート絶縁膜との界面に高濃度に分布することを特徴とする半導体装置。

【請求項 1 6】請求項 1 乃至請求項 4 または請求項 6 または請求項 9 において、前記結晶化を助長する金属元素とは Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au から選ばれた一種または複数種類の元素であることを特徴とする半導体装置。

【請求項 1 7】請求項 1 乃至請求項 4 または請求項 9 において、前記結晶性珪素膜は減圧熱 CVD 法により成膜した非晶質珪素膜を結晶化して得られることを特徴とする半導体装置。

【請求項 1 8】半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、第 1 の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、前記マスク絶縁膜を除去する工程と、パターニングにより前記結晶性珪素膜のみで構成される活性層を形成する工程と、前記活性層上にゲート絶縁膜を成膜する工程と、ハロゲン元素を含む雰囲気中において第 2 の加熱処理を行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に前記活性層と前記ゲート絶縁膜との界面に熱酸化膜を形成する工程と、窒素雰囲気中における第 3 の加熱処理により前記熱酸化膜を含めた前記ゲート絶縁膜の膜質および界面の状態を改善する工程と、

を少なくとも有し、

前記活性層は結晶粒界が概略一方向に揃い、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする半導体装置の作製方法。

【請求項 1 9】半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、

10 前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、

前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、

第 1 の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、

前記マスク絶縁膜を除去する工程と、

パターニングにより前記結晶性珪素膜のみで構成される活性層を形成する工程と、

20 ハロゲン元素を含む雰囲気中において第 2 の加熱処理を行うことにより前記活性層中の前記金属元素をゲッタリング除去すると共に熱酸化膜のみで構成されるゲート絶縁膜を形成する工程と、

窒素雰囲気中における第 3 の加熱処理により前記ゲート絶縁膜の膜質および界面の状態を改善する工程と、を少なくとも有し、

前記活性層は結晶粒界が概略一方向に揃い、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする半導体装置の作製方法。

30 【請求項 2 0】請求項 1 8 または請求項 1 9 において、前記非晶質珪素膜の成膜方法は減圧熱 CVD 法によることを特徴とする半導体装置の作製方法。

【請求項 2 1】請求項 1 8 または請求項 1 9 において、結晶化を助長する金属元素として Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au から選ばれた一種または複数種類の元素が用いられることを特徴とする半導体装置の作製方法。

【請求項 2 2】請求項 1 8 または請求項 1 9 において、ハロゲン元素を含む雰囲気は酸素雰囲気中に HCl、HF、HBr、Cl₂、ClF₃、BCl₃、NF₃、F₂、Br₂ を含む化合物から選ばれた一種または複数種類のガスが添加されたものであることを特徴とする半導体装置の作製方法。

【請求項 2 3】請求項 1 8 または請求項 1 9 において、第 1 の加熱処理は $450 \sim 700$ °C の温度範囲で行われ、第 2 または第 3 の加熱処理は 700 °C を越える温度範囲で行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

50 【発明が属する技術分野】本明細書で開示する発明は、

絶縁表面を有する基体上に形成された半導体薄膜を活性層とする半導体装置に関する。特に、結晶性珪素膜で活性層を構成した薄膜トランジスタに関する。

【0002】

【従来の技術】近年、絶縁表面を有する基体上に形成された半導体薄膜（厚さ数百～数千Å程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素マトリクス回路、画素マトリクス回路を制御する駆動回路、さらに外部からのデータ信号を処理するロジック回路（プロセッサ回路やメモリ回路など）等のあらゆる電気回路にTFTを応用する試みがなされている。

【0004】現状においては、活性層として非晶質珪素膜（アモルファスシリコン膜）を用いたTFTが実用化されているが、駆動回路やロジック回路などの様に、さらなる高速動作性能を求められる電気回路には、結晶性珪素膜（ポリシリコン膜）を利用したTFTが必要とされる。

【0005】基体上に結晶性珪素膜を形成する方法としては、本出願人による特開平6-232059号公報、特開平6-244103号公報に記載された技術が公知である。この公報に記載されている技術は、珪素の結晶化を助長する金属元素（特にニッケル）を利用することにより、500～600℃、4時間程度の加熱処理によって結晶性の優れた結晶性珪素膜を形成することを可能とするものである。

【0006】また、特開平7-321339に記載された技術は上記技術を応用して基体に概略平行な結晶成長を行わすものであり、発明者らは形成された結晶化領域を特に横成長領域（またはラテラル成長領域）と呼んでいる。

【0007】しかし、この様なTFTを用いて駆動回路を構成してもまだまだ要求される性能を完全に満たすには及ばない。特に、高速動作と高耐圧特性を同時に実現する極めて高性能な電気特性を要求される高速ロジック回路を、従来のTFTで構成することは不可能なのが現状である。

【0008】

【発明が解決しようとする課題】以上の様に、電気光学装置等の高性能化を図るためには単結晶シリコンウエハを用いて形成されたMOSFETに匹敵する性能を有するTFTを実現しなくてはならない。

【0009】そこで本明細書で開示する発明は、電気光学装置のさらなる高性能化を実現するためのブレイクスルーとなる、極めて高性能な薄膜半導体装置およびその作製方法を提供することを課題とする。

【0010】

【課題を解決するための手段】従来の方法では上述の様

な高性能なTFTを得ることができなかった理由として、結晶粒界においてキャリア（電子または正孔）が捕獲がされ、TFT特性を示すパラメータの一つである電界効果移動度の向上が妨げられていたことが考えられる。

【0011】例えば、結晶粒界にはシリコン原子の不對結合手（ダングリングボンド）や欠陥（捕獲）準位が多数存在している。従って、個々の結晶内部を移動するキャリアは結晶粒界に接近もしくは接触すると容易に不對結合手や欠陥準位等にトラップされるため、結晶粒界はキャリアの移動を阻害する「悪性の結晶粒界」として振舞っていたと考えられる。

【0012】本発明の半導体装置を実現するには、この様な「悪性の結晶粒界」を構造変化させ、キャリアにとって「良性の結晶粒界」に変成させるための技術が不可欠である。即ち、少なくともキャリアを捕獲する確率が小さく、キャリアの移動を妨げる可能性の小さい結晶粒界を形成することが重要であると言える。

【0013】そのために本明細書で開示する発明の構成は、半導体薄膜でなる活性層を有する半導体装置を作製するにあたって、絶縁表面を有する基体上に非晶質珪素膜を成膜する工程と、前記非晶質珪素膜上に選択的にマスク絶縁膜を形成する工程と、前記非晶質珪素膜に対して結晶化を助長する金属元素を選択的に保持させる工程と、第1の加熱処理により前記非晶質珪素膜の少なくとも一部を結晶性珪素膜に変成させる工程と、前記マスク絶縁膜を除去する工程と、バターンニングにより前記結晶性珪素膜のみで構成される活性層を形成する工程と、前記活性層上にゲイト絶縁膜を成膜する工程と、ハロゲン元素を含む雰囲気中において第2の加熱処理を行うことにより前記活性層中の前記金属元素をゲッターリング除去すると共に前記活性層と前記ゲイト絶縁膜との界面に熱酸化膜を形成する工程と、窒素雰囲気中における第3の加熱処理により前記熱酸化膜を含めた前記ゲイト絶縁膜の膜質および界面の状態を改善する工程と、を少なくとも有し、前記活性層は結晶粒界が概略一方に揃い、かつ、前記基体と概略平行な針状または柱状結晶が複数集合して構成される結晶構造体であることを特徴とする。

【0014】以上の構成に従った作製方法で結晶性珪素膜を形成すると、図9に示す様な外觀の薄膜が得られる。図9は非晶質珪素膜の結晶化手段として特開平7-321339号公報記載の技術を用いて本発明を実施した場合の拡大顕微鏡写真であり、長さ数十～百数十μmにも及ぶ横成長領域901が形成される。

【0015】なお、この横成長領域901は針状または柱状結晶が結晶化を助長する金属元素を添加した領域（902で示される）に対してほぼ垂直に、かつ、互いに概略平行に結晶成長していくため、結晶方向が揃っているという特徴がある。また、903で示されるのは向かい合った添加領域902から延びてきた針状または柱

7
状結晶がぶつかり合って形成された巨視的な結晶粒界（針状または柱状結晶間の結晶粒界とは区別する）である。

【0016】さらに、図9に示す横成長領域の内部に着目して、結晶粒内部をさらに微細領域まで拡大したTEM写真が図10である。

【0017】即ち、本発明の結晶性珪素膜は巨視的には図9の様に大きな横成長領域901で構成される様に見えるが、実は横成長領域901を微視的に観察すると、図10に示す様に針状または柱状結晶1001が複数集合して構成される様な結晶構造体となっている。

【0018】また、図10において1002で示されるのが針状または柱状結晶同士の境界を示す結晶粒界であり、結晶粒界1002の延びる方向から、針状または柱状結晶1001が互いに概略平行な方向に結晶成長したことが確認できる。なお、本明細書中における結晶粒界とは断りがない限り針状または柱状結晶同士の境界を指す。

【0019】また、本発明の半導体装置は、ハロゲン元素を含む雰囲気による加熱処理によって結晶化を助長する金属元素（ニッケルを主例とする）がゲッタリング除去され、 5×10^{17} atoms/cm³ 以上の濃度で残留していたニッケルが $1 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³（好ましくは活性層中のスピン密度以下）に低減されている。

【0020】勿論、汚染等により混入した（意図的に添加しない）他の金属元素（Cu、Al等）も同様にゲッタリング除去されていると考えられる。

【0021】また、この時、シリコン原子の不對結合手は加熱処理の間に酸素と結合して酸化物（酸化珪素）を形成すると予想される。その結果、「悪性の結晶粒界」であった領域には酸化珪素が形成され、実質的に酸化珪素が結晶粒界として機能する構成になると考えられる。

【0022】この様にして形成された結晶粒界1002は、酸化珪素と結晶珪素との界面が格子欠陥を殆ど含まない整合性に優れた状態になると推測される。これは、熱酸化により酸化珪素が形成される過程と、ニッケルの触媒作用によりシリコン原子同士あるいはシリコン原子と酸素原子との再結合が促進される過程との相乗効果によって欠陥の原因となる格子間シリコン原子が消費されるからである。

【0023】即ち、図10において1002で示される結晶粒界は、キャリアを捕獲する様な欠陥が殆どなく、針状または柱状結晶内部を移動するキャリアにとって、単にエネルギー的な障壁としてのみ機能する「良性的結晶粒界」として振る舞うと考えられる。

【0024】また、この様な結晶粒界は優先的に熱酸化反応が進行するので熱酸化膜が他の領域よりも厚く形成される。そのため、結晶粒界近傍に印加されるゲート電圧が見かけ上小さくなることもエネルギー的な障壁になりうると推測される。

【0025】また、この加熱処理は700℃を超える（代表的には800～1100℃）比較的高い温度で行われるため、針状または柱状結晶の内部に存在する転位や積層欠陥といった結晶欠陥がほぼ消滅してしまう。さらに、残存したシリコン原子の不對結合手は膜中に含まれる水素やハロゲン元素によって終端される。

【0026】従って本発明者らは、以上の様にして得られる図10に示す状態において、複数の針状または柱状結晶の内部の領域を「キャリアにとって実質的に単結晶と見なせる領域」として定義している。

【0027】「キャリアにとって実質的に単結晶と見なせる」とは、キャリアが移動するに際してキャリアの移動を妨げる障壁がないことを意味しており、結晶欠陥や粒界がないこと、エネルギー的に障壁となるポテンシャルバリアが存在しないことなどと言い換えられる。

【0028】本発明は上記のような構成でなる結晶性珪素膜を利用してTFTに代表される半導体装置の活性層を構成し、駆動回路やロジック回路を構成するに足る高性能な半導体装置を実現するものである。

【0029】以上のような本発明の構成について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0030】

【実施例】

【実施例1】本実施例では本発明の作製方法に従って形成した結晶性珪素膜を、薄膜トランジスタ（TFT）の活性層として利用した例を示す。図1に示すのはTFTの作製工程の一実施例である。

【0031】なお、本実施例で利用する非晶質珪素膜の結晶化手段は、特開平7-321339号公報に記載された技術である。従って、本実施例ではその概略を記載するに止めるので詳細は前記公報を参照すると良い。

【0032】まず絶縁表面を有する基体101を用意する。本実施例では石英基板上に下地膜として酸化珪素膜102を2000Åの厚さに成膜する。酸化珪素膜102の成膜方法としては減圧熱CVD法、プラズマCVD法、スパッタ法などを用いれば良い。

【0033】なお、後に非晶質珪素膜を結晶化する際、下地膜が緻密である方が得られる結晶性珪素膜の結晶性が良いことが本発明者らの研究により判っている。また、膜中に $5 \times 10^{17} \sim 2 \times 10^{18}$ atoms/cm³ の酸素が含まれると好ましい。膜中に含まれた酸素は後の結晶化を助長する金属元素のゲッタリング処理の際に重要な役割を果たす。

【0034】次に、非晶質珪素膜103を200～1000Å（本実施例では350Å）の厚さに減圧熱CVD法によって成膜する。成膜ガスとしてはシラン系ガス（SiH₄、Si₂H₆、Si₃H₈等）を用いれば良い。なお、減圧熱CVD法により成膜した非晶質珪素膜は後の結晶化の際に自然核発生率が小さい。この事は個々の結晶が相互干渉する

(ぶつかりあって成長が止まる)割合が減るため、横成長幅を大きくする上で望ましい。

【0035】勿論、非晶質珪素膜103の成膜方法として、プラズマCVD法、スパッタ法等を用いることも可能である。

【0036】次に、500～1200Åの厚さの酸化珪素膜104をプラズマCVD法またはスパッタ法により成膜し、後に結晶化を助長する金属元素を導入する領域のみを選択的にエッチング除去する。即ち、この酸化珪素膜104は非晶質珪素膜103に対してニッケルを選択的に導入するためのマスク絶縁膜として機能する。

【0037】酸化珪素膜104によって露呈される領域105は、紙面に垂直な方向に長手方向を有するスリット状に形成されている。(図1(A))

【0038】次に、酸素雰囲気中においてUV光を照射し、領域105によって露呈した非晶質珪素膜103の表面に極薄い酸化膜(図示せず)を形成する。この酸化膜は、後に結晶化を助長する金属元素を導入する際の溶液塗布工程で溶液の濡れ性を改善するためのものである。

【0039】なお、結晶化を助長する金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類の元素が用いられるが、本実施例ではNi(ニッケル)を例にとって説明する。

【0040】次に、所定の濃度(本実施例では重量換算で100ppm)でニッケルを含有したニッケル硝酸塩溶液(またはニッケル酢酸塩溶液)を滴下し、スピンコート法によりニッケルを含有した薄い水膜106を形成する。非晶質珪素膜中に添加するニッケル濃度は溶液塗布工程においてニッケル塩溶液の濃度を調節することで容易に制御することができる。(図1(B))

【0041】次に、不活性雰囲気中において450℃、1時間程度の水素出しを行った後、500～700℃、代表的には550～600℃の温度で4～8時間の加熱処理(第1の加熱処理)を加えて非晶質珪素膜103の結晶化を行う。こうして結晶性珪素膜107が得られる。(図1(C))

【0042】この時、結晶成長は針状または柱状結晶が基板に概略平行な方向に進行する。本実施例の場合は、105で示される領域が図面の手前方向から奥手方向に長手方向を有するスリット状となっているので、矢印108で示されるように結晶成長は概略一方向に向かって進行する。この時、結晶成長は数百μm以上に渡って行なうことができる。

【0043】なお、109で示されるのはニッケル添加領域であり、横成長領域107に比べて高い濃度でニッケルを含有している。添加領域109は結晶核が過度に密集して結晶成長するため結晶性はあまり良くない。従って、後に形成する活性層は添加領域109を除いた領

域で構成される。

【0044】次に、結晶化のための加熱処理が終了したら、ニッケルを選択的に添加するためのマスク絶縁膜となった酸化珪素膜104を除去する。この工程はバッファードフッ酸等により容易に行なわれる。

【0045】なお、後のハロゲン元素を含む雰囲気中での加熱処理の前および/または後に結晶性珪素膜107に対してエキシマレーザーによるレーザーアニールを施しても構わない。ただし、レーザー照射により結晶性珪素膜の結晶性は改善しうが、珪素膜表面に凹凸が形成されやすいので注意が必要である。

【0046】次に、得られた結晶性珪素膜107をパターニングして後にTFETの活性層として機能する活性層110を形成する。なお、本発明では活性層の配置が重要である。その事については後述する。

【0047】活性層110を形成したら、活性層110上に酸化珪素膜でなるゲイト絶縁膜111を200～1500Å(本実施例では300Å)の厚さに成膜する。ゲイト絶縁膜111の成膜方法は、プラズマCVD法、熱CVD法、スパッタ法等の気相法を用いれば良い。

【0048】また、酸化珪素膜の代わりに窒化珪素膜や酸化窒化珪素膜を用いたり、それらの絶縁膜を積層して用いても構わない。

【0049】次に、ハロゲン元素を含む雰囲気において加熱処理(第2の加熱処理)を行う。この加熱処理はハロゲン元素による金属元素のゲッターリング効果を利用して、活性層110中の金属元素(特にニッケル)を除去することを第1に狙ったものである。(図1(D))

【0050】このゲッターリングのための加熱処理は、その効果を得るために700℃を越える温度で行なうことが重要である。それ以下の温度ではゲイト絶縁膜111がブロッキング層となって十分なゲッターリング効果を得られない恐れがある。

【0051】そのため、この加熱処理の温度範囲は700℃を越える温度で行い、好ましくは800～1000℃(代表的には950℃)とし、処理時間は0.1～6時間、代表的には0.5～1時間とする。

【0052】なお、本実施例では、酸素(O₂)雰囲気中に対して塩化水素(HCl)を0.5～10体積%の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行う。なお、HCl濃度を上記濃度以上とすると、結晶性珪素膜の膜表面に膜厚と同程度の凹凸が生じてしまうため好ましくない。

【0053】また、本実施例ではハロゲン元素を含む化合物としてHClガスを用いる例を示したが、それ以外のガスとして、HF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。また、一般にハロゲンの水素化物または有機物(炭水素化物)を用いることもできる。

【0054】この工程においては針状または柱状結晶の結晶粒界に偏析したニッケルがハロゲン元素（ここでは塩素）の作用によりゲッターリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。

【0055】従って、活性層110中のニッケルはデバイス特性に影響を与えない程度（ $1 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm³、好ましくは活性層中のスピン密度以下）にまで低減されることがSIMS分析により確認されている。なお、下限の 1×10^{14} atoms/cm³という値はSIMSの検出下限界である。また、本明細書における不純物濃度はSIMS分析で得られた計測値の最小値をもって定義される。

【0056】なお、本発明者らの知見では結晶化の助長に利用されたニッケルは針状または柱状結晶の結晶粒界に多く偏析する傾向にあり、針状または柱状結晶の内部には実質的には殆ど含まれないと考えられる。

【0057】ところが、現状のSIMS分析では結晶内部と結晶粒界の両方の情報を拾ってしまうので、本明細書中におけるニッケルの濃度は、厳密には結晶内部と結晶粒界とに含まれるニッケル濃度を平均化した平均濃度を意味する。

【0058】また、ゲッターリング工程を行なった場合、結晶性珪素膜中にはゲッターリング処理に使用したハロゲン元素が $1 \times 10^{15} \sim 1 \times 10^{16}$ atoms/cm³の濃度で残存する。その際、結晶性珪素膜と熱酸化膜との間に高濃度に分布する傾向がある。

【0059】なお、ニッケルは結晶化の際に針状または柱状結晶の結晶粒界へと押し出されて偏析し、ニッケルシリサイドとして存在していたと考えられる。そしてゲッターリングの際に塩化ニッケルとなって離脱し、ニッケルとの結合を切られたシリコンの不對結合手は結晶粒界に多く存在する状態となる。

【0060】しかし上記工程は酸化性雰囲気中において、比較的高い温度で行われるため形成された不對結合手は容易に酸素と結合して酸化物（SiO₂で表される酸化珪素）を形成すると考えられる。即ち、本発明者らは上記一連の加熱工程によって、結晶性珪素膜は酸化珪素が結晶粒界として機能する様な結晶構造体となると考えている。

【0061】また、残存した不對結合手は活性層110中に含まれる水素やハロゲン元素によって終端されるか、シリコン同士の再結合によって補償され、さらに、転位や積層欠陥といった結晶欠陥はシリコン原子の再結合や再配列によってほぼ消滅してしまうので、針状または柱状結晶の内部の結晶性も著しく改善されると考えられる。

【0062】従って、活性層110はハロゲン雰囲気での加熱処理によりニッケルがデバイス特性に支障がない程度にまで充分除去され、かつ、活性層110を構成す

る針状または柱状結晶は著しく結晶性が改善されており、キャリアにとって実質的に単結晶と見なせる領域を有した結晶構造体で構成されている。

【0063】また、上記加熱処理により活性層110とゲイト絶縁膜111の界面では熱酸化反応が進行し、約100Åの珪素膜が酸化されて200Åの熱酸化膜が形成される。即ち、ゲイト絶縁膜111の全膜厚はCVD法で成膜した分と熱酸化で形成された分とを合わせて500Åとなる。

【0064】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で950℃1時間程度の加熱処理を行なうことで、ゲイト絶縁膜111の膜質の向上と共に、極めて良好な半導体/絶縁膜界面が実現される。

【0065】また、活性層110はドライエッチング法で形成されるが、その時活性層のエッジに残留したプラズマダメージがTFTのリーク電流の原因となる恐れがある。本実施例の場合、活性層110のエッジは熱酸化されるのでプラズマダメージの除去も兼ねている。

【0066】以上の様にして、ゲイト絶縁膜（熱酸化膜）111の形成まで終了したら、次にゲイト電極を構成するためのアルミニウム膜（図示せず）を2500Åの厚さにスパッタ法でもって成膜する。このアルミニウム膜中には、ヒロックやウィスカー防止のためにスカンジウムを0.2重量%含有させる。

【0067】なお、本実施例ではゲイト電極（ゲイト配線を含む）を形成する材料としてアルミニウムを主成分とする材料を用いているが、他にもタングステン、タンタル、モリブデン等を用いることもできる。また、導電性を付与した結晶性珪素膜をゲイト電極として活用しても構わない。

【0068】次に、図1(D)に示す様にアルミニウム膜をパターンニングしてゲイト電極の原型となる島状のアルミニウム膜のパターン112を形成する。なおこの際利用したレジストマスク（図示せず）はそのまま残存させておく。（図2(A)）

【0069】そして、アルミニウム膜のパターン112を陽極とした陽極酸化を行う。この技術は公知の陽極酸化技術（例えば特開平7-135318号）を用いる。まず、この陽極酸化工程によって、パターン112の側面には多孔質状の陽極酸化膜113が形成される。本実施例ではこの陽極酸化膜113の膜厚を0.7μmとする。

【0070】図2(B)に示す多孔質状の陽極酸化膜113を形成したら、図示しないレジストマスクを取り除く。そして、再度の陽極酸化を行うことにより、緻密な陽極酸化膜114を形成する。緻密な陽極酸化膜114の膜厚は900Åとする。

【0071】また、以上の工程を経てゲイト電極115が画定する。緻密な陽極酸化膜114は、後の工程においてゲイト電極115の表面を保護したり、ヒロックや

ウィスカの発生を抑制するために機能する。

【0072】次に、緻密な陽極酸化膜 114 まで形成したら、この状態においてソース／ドレイン領域を形成するための不純物イオンの注入を行う。Nチャネル型の TFT を作製するならば P (リン) イオンの注入を行い、Pチャネル型の TFT を作製するならば B (ボロン) イオンの注入を行えば良い。

【0073】この工程において、高濃度に不純物が添加されたソース領域 116 とドレイン領域 117 が形成される。

【0074】次に、酢酸とリン酸と硝酸とを混合した混酸を用いて、多孔質状の陽極酸化膜 113 を選択的に除去した後に再度 P イオンのイオン注入を行なう。このイオン注入は、先のソース／ドレイン領域を形成する際よりも低ドーズ量でもって行なわれる。(図 2 (C))

【0075】すると、ソース領域 116、ドレイン領域 117 と比較して不純物濃度の低い、低濃度不純物領域 118、119 が形成される。そしてゲート電極 115 直下の 120 で示される領域が自己整合的にチャネル形成領域となる。

【0076】なお、チャネル形成領域 120 とドレイン領域 117 との間に配置された低濃度不純物領域 119 は特に LDD (ライトドープドレイン領域) 領域と呼ばれ、チャネル形成領域 120 とドレイン領域 117 との間に形成される高電界を緩和する効果を有する。

【0077】また、チャネル形成領域 120 (厳密には針状または柱状結晶の内部) は真性または実質的に真性な領域で構成されている。真性または実質的に真性な領域であるとは、活性化エネルギーがほぼ $1/2$ (フェルミレベルが禁制帯の中央に位置する) であり、かつ、スピ

ン密度よりも不純物濃度が低い領域であること、あるいは意図的に P や B といった不純物を添加しないアンドープ領域であることを意味している。

【0078】さらに、上記の不純物イオンの注入工程の後、レーザー光または赤外光または紫外光の照射を行うことによって、イオン注入が行われた領域のアニールを行う。この処理によって、添加イオンの活性化と、イオン注入時に活性層が受けた損傷の回復が行なわれる。

【0079】また、水素化処理を $300 \sim 350$ °C の温度範囲で $0.5 \sim 1$ 時間行くと効果的である。この工程は活性層からの水素脱離によって生成した不対結合手を再び水素終端するものである。この工程を行なうと活性層中には 1×10^{11} atoms / cm^2 以下、好ましくは $1 \times 10^{10} \sim 1 \times 10^{11}$ atoms / cm^2 の濃度で水素が添加される。

【0080】こうして図 2 (C) に示す状態が得られたら、次に層間絶縁膜 121 成膜する。層間絶縁膜 121 は、酸化珪素膜、または窒化珪素膜、または酸化窒化珪素膜、または有機性樹脂膜、またはそれらの膜の積層膜でもって構成される。(図 2 (D))

【0081】また、有機性樹脂膜であるポリイミドを用

いると、比誘電率が小さいので上下配線間の寄生容量を低減することができる。また、スピンコート法で形成できるので容易に膜厚を稼ぐことができ、スループットの向上が図れる。

【0082】次に、層間絶縁膜 121 コンタクトホール形成を行い、ソース電極 122 とドレイン電極 123 とを形成する。さらに 350 °C の水素雰囲気中において加熱処理を行うことにより、素子全体の水素化を行い、図 2 (D) に示す TFT が完成する。

10 【0083】図 2 (D) に示す TFT は説明のため最も単純な構造となっているが、本実施例の作製工程手順に多少の変更・追加を加えることで適宜所望の TFT 構造とすることは容易である。

【0084】ここで、前述の様に活性層 110 を形成する際に、その配置が重要である理由について説明する。説明は図 3 を用いて行なう。

【0085】本実施例を実施した場合、針状または柱状結晶が互いに概略平行に成長するため、結晶粒界が一方

20 向に揃っているという特徴がある。また、結晶化を助長する金属元素を選択的に添加することで、針状または柱状結晶が結晶成長する方向を自由に制御することが可能である。この事は非常に重要な意味を持っている。

【0086】ここで絶縁表面を有する基体上に活性層を形成した一実施例を図 3 に示す。図 3 に示すのは、アクティブマトリクス型液晶表示装置を作製するにあたって基体 301 上にマトリクス状に配置された活性層である。

【0087】なお、302 の破線で示される領域はニッケルを選択的に導入するための領域が存在した場所である。また、303 は横成長領域が互いにぶつかり合って形成された巨視的な粒界が存在した場所である。これらは活性層を形成した後では確認できないため点線で示すことにする。

【0088】また、本実施例で示した手段で結晶化を行なう場合、針状または柱状結晶はニッケル添加領域 302 に対して概略垂直な方向 (図中において矢印で示される方向) に成長する。

【0089】従って、図 3 の様に島状半導体 304 を配置することで、チャネル方向と、針状または柱状結晶の結晶粒界とを概略一致する方向に揃えることができる。しかも、ニッケル添加領域 302 を基板 301 の端から端まで達する様に設計することで、基板全面において前述の様な構成を実現することが可能である。

【0090】この様な構成とすると、チャネル方向と針状または柱状結晶の並ぶ方向とが一致することになる。即ち、TFT の活性層として機能する際に、チャネル形成領域においてキャリアの移動を妨げるエネルギー障壁が極めて少ないことを意味しており、動作速度のさらなる向上が期待できるのである。

【0091】また、以上のことは、換言すれば針状また

は柱状結晶の方向性をチャネル方向に対して特定の角度を有する様に制御することができることを意味する。図3は特定の角度を 0° とした場合に相当する。

【0092】即ち、図3とは別の視点で考えると活性層304を 90° 回転させた場合も考えられる。その場合、キャリアの移動度は低下するが、低オフ電流特性、高耐圧特性を期待しうる。

【0093】ここで、本実施例に従って本発明者らが作製した図2(D)に示される半導体装置の電気特性を図4に示す。図4(A)はNチャネル型TFTの電気特性

(I_d - V_g 特性)、図4(B)はPチャネル型TFTの電気特性を示している。なお、 I_d - V_g 特性を示すグラフは5点分の測定結果をまとめて表示する。

【0094】横軸の V_g はゲート電圧値、縦軸の I_D はソース/ドレイン間を流れる電流値である。また、401、403で示される I_d - V_g 特性(I_d - V_g 曲線)はドレイン電圧 $V_D=1V$ の時の特性を示し、402、404

で示される I_d - V_g 特性はドレイン電圧 $V_D=5V$ の時の特性を示している。また、405、406はドレイン電圧 $V_D=1V$ の時のリーク電流を示している。

【0095】なお、オフ領域(図4(A)では $-1V$ 以下、図4(B)では $-1V$ 以上)のドレイン電流(I_{off})と、オンおよびオフ領域のリーク電流(I_G)は、殆どが $1 \times 10^{-11} A$ (測定下限界)以下であるので、図4(A)、(B)ではノイズと混同されてしまっている。

【0096】ここで、図4(A)、(B)に示される電気特性から求めた、本発明によるTFTの代表的な特性パラメータを表1、表2に示す。なお、表1はNチャネル型TFTの電気特性(任意の20点測定)の結果であり、表2はPチャネル型TFTの電気特性(任意の20点測定)の結果を示している。

【0097】

【表1】

Nチャネル型TFT測定結果 (SingleGate)

測定点	I_{on_10A} ($V_D=1V$) ($V_G=5V$)	I_{on_20A} ($V_D=5V$) ($V_G=5V$)	I_{off_10A} ($V_D=1V$) ($V_G=-6V$)	I_{off_20A} ($V_D=5V$) ($V_G=-6V$)	$I_{on/off1}$	$I_{on/off2}$	$V_{th}(V)$ ($V_D=5V$)	S -value [mV/dec] ($V_D=1V$)	μFE [cm ² /Vs]		$I_{G_on}[pA]$ ($V_D=1V$) ($V_G=5V$)	$I_{G_off}[pA]$ ($V_D=1V$) ($V_G=-6V$)
	($V_D=1V$) ($V_G=5V$)	($V_D=5V$) ($V_G=5V$)	($V_D=1V$) ($V_G=-6V$)	($V_D=5V$) ($V_G=-6V$)					($V_D=1V$) ($V_G=5V$)	($V_D=1V$) ($V_G=-6V$)		
Point 1	68.61	205.30	1.00	3.30	7.84	7.79	0.08	82.66	160.91	226.64	0.20	-0.40
Point 2	72.80	219.05	0.75	3.85	7.99	7.76	0.12	71.10	171.21	245.00	0.10	-0.05
Point 3	74.35	221.85	0.45	2.65	8.22	7.92	0.05	86.92	170.60	246.84	0.15	-0.15
Point 4	62.61	201.70	0.40	2.15	8.19	7.97	-0.13	79.60	141.63	197.88	-0.05	-0.25
Point 5	48.07	151.25	0.40	1.60	8.08	7.98	0.00	95.12	113.99	153.26	0.10	-0.10
Point 6	74.00	221.70	0.30	2.45	8.39	7.96	0.01	84.31	165.85	245.36	-0.10	-0.30
Point 7	55.30	176.60	0.95	2.85	7.77	7.79	0.05	82.10	137.19	175.19	0.10	-0.15
Point 8	69.90	208.05	0.75	4.35	7.97	7.68	0.11	75.08	165.49	232.56	0.25	0.00
Point 9	60.91	184.95	0.25	1.95	8.39	7.98	0.02	93.08	136.68	202.16	0.05	-0.10
Point 10	60.20	189.65	0.50	2.15	8.08	7.95	0.01	76.93	137.96	199.16	0.30	0.00
Point 11	63.43	195.45	0.40	2.40	8.20	7.91	-0.06	78.77	136.48	210.12	0.00	-0.25
Point 12	63.57	193.45	0.45	2.40	8.15	7.91	-0.05	75.78	140.50	207.06	0.10	-0.60
Point 13	68.51	211.45	0.40	2.85	8.23	7.87	0.01	78.62	160.14	222.11	0.40	-0.55
Point 14	68.78	204.05	0.40	2.10	8.22	7.99	-0.02	74.36	148.21	220.63	0.30	-0.50
Point 15	81.30	185.95	0.45	2.35	8.13	7.90	0.05	81.25	137.90	205.02	0.00	-0.45
Point 16	68.70	208.75	0.35	1.90	8.29	8.04	-0.01	71.23	151.01	227.97	0.15	-0.30
Point 17	68.18	211.50	0.40	1.80	8.23	8.07	-0.08	71.10	148.36	223.84	0.30	-0.60
Point 18	63.92	197.50	0.40	1.65	8.20	8.08	-0.10	75.64	142.34	205.02	0.20	-0.35
Point 19	66.07	201.25	0.60	2.70	8.04	7.87	0.17	87.23	167.03	216.19	0.25	-0.40
Point 20	70.37	210.80	0.60	2.05	8.07	8.01	0.02	79.04	162.28	229.81	0.20	-0.30
平均値	65.37	200.01	0.51	2.47	8.13	7.92	0.01	80.00	149.79	214.69	0.15	-0.29
標準偏差σ	6.40	16.87	0.20	0.71	0.16	0.10	0.08	6.78	15.16	23.19	0.13	0.19

【0098】

【表2】

Pチャネル型TFT測定結果 (SingleGate)

測定点	I_{on_1} [μ A] ($V_D = 1$ V) ($V_G = 6$ V)	I_{on_2} [μ A] ($V_D = 5$ V) ($V_G = 6$ V)	I_{off_1} [pA] ($V_D = 1$ V) ($V_G = 1$ V)	I_{off_2} [pA] ($V_D = 5$ V) ($V_G = 1$ V)	I_{on}/I_{off1}	I_{on}/I_{off2}	V_{th} [V] ($V_D = 5$ V)	S-value [mV/dec] ($V_D = 1$ V) ($V_G = 1$ V)	μ FE [cm^2/Vs] ($V_D = 1$ V) ($V_G = 5$ V) (max)	I_{G_on} [pA] ($V_D = 1$ V) ($V_G = 5$ V)	I_{G_off} [pA] ($V_D = 1$ V) ($V_G = 6$ V)
Point 1	30.07	68.22	9.25	59.25	6.51	6.06	-1.11	86.55	118.32	119.60	0.10
Point 2	36.67	86.63	2.60	46.70	7.15	6.27	-0.93	89.24	131.38	137.90	0.05
Point 3	36.60	85.97	2.90	73.25	7.10	6.07	-0.95	98.47	133.57	138.47	0.15
Point 4	36.63	85.27	3.35	53.60	7.04	6.20	-0.98	87.55	137.19	140.00	0.05
Point 5	35.30	79.59	3.25	39.40	7.04	6.31	-1.14	77.67	140.71	142.24	0.10
Point 6	35.72	81.38	2.55	30.45	7.15	6.43	-1.08	79.81	141.07	141.78	0.10
Point 7	34.37	77.74	5.50	73.60	6.80	6.02	-1.10	82.63	135.15	136.94	-0.05
Point 8	40.70	100.42	10.20	107.25	6.60	5.97	-0.77	79.28	131.58	147.90	0.10
Point 9	40.70	100.61	4.90	45.00	6.92	6.35	-0.76	75.50	131.83	147.14	0.15
Point 10	32.89	74.66	5.75	132.05	6.76	5.75	-1.10	84.48	127.76	129.80	0.15
Point 11	37.07	88.45	4.30	67.45	6.94	6.12	-0.87	76.54	130.05	137.45	0.40
Point 12	30.52	68.83	1.65	37.55	7.27	6.26	-1.15	90.61	120.82	122.15	0.50
Point 13	35.17	78.92	1.35	55.50	7.42	6.15	-1.15	85.88	143.51	143.82	0.40
Point 14	32.07	72.71	1.80	36.40	7.25	6.30	-1.10	86.48	124.39	126.74	0.40
Point 15	33.36	75.57	6.60	120.40	6.70	5.80	-1.10	84.30	131.58	132.65	0.40
Point 16	32.20	75.10	3.50	47.90	6.96	6.20	-1.01	84.93	122.35	124.64	0.25
Point 17	34.26	76.83	4.40	64.95	6.89	6.08	-1.14	83.28	141.58	141.58	0.65
Point 18	31.01	69.91	5.40	253.99	6.76	5.44	-1.18	97.07	123.17	125.46	0.25
Point 19	36.26	86.80	5.80	52.20	6.80	6.22	-0.89	79.86	126.53	134.64	0.40
Point 20	37.60	93.11	2507.90	17345.00	4.18	3.73	-0.80	69.54	125.46	136.94	0.15
平均値	34.96	81.34	129.65	937.03	6.81	5.99	-1.02	84.38	130.90	135.39	0.23
標準偏差 σ	3.00	9.49	559.79	3852.36	0.66	0.58	0.14	6.94	7.38	8.24	0.16

【0099】表1、表2において特に注目すべき点は、サブスレッショルド特性 (S値、S-value) が60~100mV/dec の間に収まる程小さく、移動度 (μ FE、モビリティ) が150 ~300 cm^2/Vs という様に極めて大きいことである。なお、本明細書中において移動度とは電界効果移動度を意味する。

【0100】これらの測定データは従来のTFTでは達成不可能な値であり、まさに本発明によるTFTが単結晶上に作製したMOSFETに匹敵する極めて高性能なTFTであることを証明している。

【0101】また同時に、本発明によるTFTは非常に劣化に強いことが繰り返し測定による加速劣化試験によって確認されている。経験的には高速動作するTFTは劣化しやすいという欠点を有しているのだが、本発明によるTFTは劣化もなく、極めて高い耐圧特性を有していることが判明している。

【0102】また、表1、表2には参考として平均値および標準偏差 (σ 値) も記載する。標準偏差は平均値からの分散 (バラツキ) の尺度として用いられる。一般的には測定結果 (母集団) が正規分布 (ガウシアン分布) に従うとすると、平均値を中心に $\pm 1\sigma$ の内に全体の68.3%、 $\pm 2\sigma$ の内に95.4%、 $\pm 3\sigma$ の内に99.7%が入ることが知られている。

【0103】本発明者らは、本実施例のTFT特性の分散をより正確に評価するため、540個のTFTを測定し、その結果から平均値および標準偏差を求めた。その結果、S値の平均値は80.5mV/dec (n-ch)、80.6mV/dec (p-ch) であり、標準偏差は5.8 (n-ch)、11.5 (p-ch) であった。また、移動度 (max) の平均値は194.0 cm^2/Vs (n-ch)、131.8 cm^2/Vs (p-ch) であり、標準偏差は38.5 (n-ch)、10.2 (p-ch) であった。

【0104】即ち、本発明を利用したNチャネル型TFT

Tにおいては、以下に示す様なTFT特性を得ることができる。

(1) S値の σ 値が10mV/dec以内、好ましくは5mV/dec以内に収まる。

(2) S値が80 \pm 30mV/dec以内、好ましくは80 \pm 15mV/dec以内に収まる。

(3) μ FEの σ 値が40 cm^2/Vs 以内、好ましくは35 cm^2/Vs 以内に収まる。

【0105】また、本発明を利用したPチャネル型TFTにおいては、以下に示す様なTFT特性を得ることができる。

(1) S値の σ 値が15mV/dec以内、好ましくは10mV/dec以内に収まる。

(2) S値が80 \pm 45mV/dec以内、好ましくは80 \pm 30mV/dec以内に収まる。

(3) μ FEの σ 値が15 cm^2/Vs 以内、好ましくは10 cm^2/Vs 以内に収まる。

【0106】以上の様に、本発明によるTFTは極めて優れた電気特性を実現するものであり、これまで単結晶上に作製したMOSFETのみが使用されていた様な複雑なSRAM回路やDRAM回路等、高速動作を必要とするロジック回路を構成することが可能である。

【0107】また、本実施例ではシングルゲート構造のTFTの作製工程例のみを記載しているが、ダブルゲート構造のTFTやそれ以上のゲート電極を有するマルチゲート構造のTFTに対しても適用することができる。

【0108】また、本発明は活性層の結晶性を高めることで実現できるものであって、耐熱性が許す限りTFT構造は問わずに実施することができる。

【0109】〔本発明で得られる結晶構造体に関する知見〕本発明によって得られる結晶性珪素膜が図10に示される様な針状または柱状結晶の集合体でなる結晶構造

体であることは既に述べた。ここでは、本発明による結晶構造体と他の方法で形成された結晶構造体との比較を行なう。

【0110】図11に示す写真は、実施例1の手順で非晶質珪素膜の結晶化までを終えた試料のTEM写真である。即ち、ハロゲン元素を含む加熱処理を行なっていない結晶性珪素膜の結晶構造を示している。

【0111】図11において確認できる様に、結晶化直後の針状または柱状結晶の内部には多数の転位欠陥（1101で示される円内）が存在する。しかしながら、図10に示すTEM写真では、結晶内部にその様な転位欠陥は確認されず、きれいな結晶構造となっていることが判る。

【0112】この事は、本発明においてハロゲン元素を含む雰囲気での加熱処理が結晶性の改善に大きく寄与していることの証拠となる。

【0113】また、図12に示す結晶構造体は、非晶質珪素膜の結晶化条件を本発明とは異なるものとした場合の例である。具体的には、窒素雰囲気中で600℃48時間の加熱処理を行うことで非晶質珪素膜を結晶化し、900

～1100℃程度の温度で熱酸化処理を施してある。

【0114】以上の様にして形成した結晶性珪素膜は、図12に示す様に個々の結晶粒が大きく、不規則に分布する粒界によって分割された状態となっている。

【0115】図12において、結晶粒1201は不規則な粒界1202によって囲まれた状態となっている。従って、実際に図12に示す結晶構造体をTFTの活性層として利用すると、不規則な粒界1202によって生ずるエネルギー障壁がキャリアの移動を阻害してしまう。

【0116】一方、図10に示す様な結晶構造体は、図10に示す様に、結晶粒界1002がある程度の規則性をもって配列した状態となっている。従って、針状または柱状結晶の内部において、キャリアの移動を阻害するエネルギー障壁はないと考えられる。

【0117】なお、本発明者らが針状または柱状結晶の配列状態を1～5万倍程度の広視野で観察した結果、針状または柱状結晶がジグザグに進行する様な場合があることが確認されている。これは、結晶成長がエネルギー的に安定な方向へ向かうことに起因する現象であり、結晶方向が転換した箇所には一種の粒界が形成されていると推測される。

【0118】しかしながら本発明者らは、針状または柱状結晶の内部に生じるこの粒界はエネルギー的に不活性な双晶粒界の如きものではないかと推測している。即ち、結晶方向は異なるが、整合性良く連続的に結合した粒界であり、キャリアの移動を妨げる程のエネルギー障壁とならない（実質的に粒界と見なされない）粒界であると考えている。

【0119】以上の様に、一般的なプロセスで結晶化した結晶性珪素膜は図12に示す様な結晶構造を有し、キ

ャリアの移動を遮る様に不規則な粒界が分布するため、高い移動度を達成することが困難である。

【0120】しかしながら、本発明による結晶性珪素膜は図10に示す様な結晶構造を有し、結晶粒界が概略一方向に揃っている上、針状または柱状結晶の内部は実質的にエネルギー障壁となる粒界が存在しないと考えられる。即ち、キャリアは何ら阻害されることなく結晶内部を移動することが可能となるので、極めて高い移動度を達成することができる。

【0121】特に、本発明により得られる針状または柱状結晶の注目すべき点は、凹凸や応力等に起因する歪みを避けながら（結晶方向を変えながら）数十～数百μmもの距離を連続的に成長していくと考えられる点である。

【0122】本発明者らの推測が正しければ、本発明による結晶性珪素膜は結晶内部にキャリアトラップとなりうる粒界を形成しないで成長していく、特殊な結晶の集合体で構成される全く新しい結晶構造体であると言える。

【0123】〔実施例2〕本実施例は実施例1で示したTFTでもってCMOS回路を形成する例である。CMOS回路は実施例1で示した様な構造のNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせて構成される。

【0124】本実施例におけるCMOS回路の作製工程の一実施例を図5、図6を用いて説明する。なお、本発明により形成される結晶性珪素膜の応用範囲は広く、CMOS回路を形成する方法は本実施例に限ったものではない。

【0125】まず実施例1に示す作製手順に従って、石英基板501上に酸化珪素膜502を成膜し、その上に結晶性珪素膜（図示せず）を得る。そしてそれをパターニングすることによりNチャネル型TFTの活性層503とPチャネル型TFTの活性層504とを形成する。

【0126】活性層503、504を形成したらゲイト絶縁膜505を成膜し、さらにハロゲン元素を含む雰囲気における加熱処理を行なう。本実施例では処理条件を実施例1と同じものとする。こうして、活性層503、504は本発明の結晶構造体となり、良好な膜質と界面を有するゲイト絶縁膜505が形成される。

【0127】次に、後にゲイト電極の原型を構成するアルミニウム膜（図示せず）を成膜し、パターニングしてアルミニウム膜のパターン506、507を形成する（パターン形成後もパターニングに使用したレジストマスキは残しておく）。

【0128】こうして図5（A）の状態が得られる。アルミニウム膜のパターン506、507を形成したら、次に、実施例1と同様の条件でもってアルミニウム膜のパターン506、507の側面に多孔質の陽極酸化膜508、509を形成する。本実施例ではこの多孔質の陽

極酸化膜 508、509 の膜厚を $0.5 \mu\text{m}$ とする。

【0129】さらに、実施例 1 と同様の条件でもって緻密で強固な陽極酸化膜 510、511 の形成を行う。ただし、本実施例ではこの膜厚が 700 \AA となる様に到達電圧を調節する。また、この工程によりゲイト電極 512、513 が画定する。こうして図 5 (B) の様な状態が得られる。

【0130】図 5 (B) の状態が得られたら、ゲイト絶縁膜 505 をドライエッチング法によりエッチングする。このエッチング工程ではゲイト電極 512、513 および多孔質状の陽極酸化膜 508、509 がマスクとなって、その直下のみにゲイト絶縁膜が残存する。エッチング後に多孔質状の陽極酸化膜 508、509 を除去すると図 5 (C) の状態となる。

【0131】次に、P チャネル型 TFT を覆い隠す様にしてレジストマスク 514 を形成し、N 型を付与する不純物として P (リン) イオンをドーピングする。このドーピングは、加速電圧 50KeV 、ドーズ量 $0.1 \sim 5 \times 10^{13} \text{ atoms/cm}^2$ 、好ましくは $0.5 \sim 2 \times 10^{13} \text{ atoms/cm}^2$ 程度で行なう。

【0132】このドーピング工程は比較的加速電圧が高いため、P イオンが露出したゲイト絶縁膜を通過して活性層 503 へと打ち込まれる。その結果、515、516 で示される領域に P イオンが添加される。(図 5 (C))

【0133】次に、図 5 (D) に示すように再び P イオンの注入を行う。この P イオンの注入は、加速電圧を 5 KeV と低めに設定し、ドーズ量を $0.1 \sim 1 \times 10^{15} \text{ atoms/cm}^2$ 、好ましくは $2 \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とする。この工程の結果、高濃度に P イオンが添加された領域 517、518 が形成される。

【0134】図 5 (D) に示す工程が終了した時点で N チャネル型 TFT の活性層が完成する。即ち、N チャネル型 TFT のソース領域 517、ドレイン領域 518、低濃度不純物領域 (または LDD 領域) 519、520、チャンネル形成領域 521 が画定する。

【0135】次に、図 6 (A) に示すように左側の N チャネル型 TFT を覆うレジストマスク 522 を形成する。そして、図 6 (A) に示す状態において P 型を付与する不純物として B (ボロン) イオンの注入を行う。この B イオンのドーピングも P イオンの場合と同様に 2 度に分けて行なう。

【0136】1 度目の B イオンのドーピングは加速電圧 30KeV 、ドーズ量を $0.1 \sim 5 \times 10^{14} \text{ atoms/cm}^2$ 、好ましくは $0.5 \sim 2 \times 10^{14} \text{ atoms/cm}^2$ 程度とする。この工程により 523、524 で示される領域に B イオンが添加される。(図 6 (A))

【0137】2 度目の B イオンのドーピングは加速電圧 5KeV 、ドーズ量を $0.1 \sim 1 \times 10^{15} \text{ atoms/cm}^2$ 、好ましくは $2 \sim 5 \times 10^{14} \text{ atoms/cm}^2$ 程度とする。この工程によ

り高濃度に B イオンが添加された領域 525、526 が形成される。(図 6 (B))

【0138】以上の工程により P チャネル型 TFT のソース領域 525、ドレイン領域 526、低濃度不純物領域 (または LDD 領域) 527、528、チャンネル形成領域 529 が画定する。

【0139】次に、図 6 (B) に示す工程の終了後、レジストマスク 522 を取り除き、基板全面にレーザー光または赤外光や紫外光等の強光を照射する。この工程により添加された不純物イオンの活性化と、不純物イオンが注入された領域の損傷の回復が行なわれる。

【0140】次に、層間絶縁膜 530 を 4000 \AA の厚さに成膜する。層間絶縁膜 530 は酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、有機性樹脂膜のいずれでも良く、多層構造としても良い。これら絶縁膜の成膜方法は、プラズマ CVD 法、熱 CVD 法、スピンコート法を用いればよい。

【0141】次にコンタクトホール形成を行い、N チャネル型 TFT のソース電極 531、P チャネル型 TFT のソース電極 532 を形成する。また、ドレイン電極 533 は N チャネル型 TFT と P チャネル型 TFT とで共有する様な構成とすることで CMOS 回路が実現される。(図 6 (C))

【0142】以上の様な過程を経て、図 6 (C) に示す構造でなる CMOS 回路を作製することができる。CMOS 回路は最も単純な構成のインバータ回路であり、CMOS インバータ回路を直列に奇数組接続して形成した閉回路はリングオシレータと呼ばれ、半導体装置の動作速度を評価する際に用いられる。

【0143】ここで図 7 (A) に示す上面写真は、本実施例に従って作製した CMOS 回路を組み合わせて構成したリングオシレータ回路である。本発明者らは本発明を利用して実際にアクティブマトリクス型液晶表示装置を試作し、その駆動回路の動作性能をリングオシレータで確認した。

【0144】なお、図 7 (A) に示すリングオシレータを構成する CMOS 回路のゲイト電極幅は約 $0.6 \mu\text{m}$ と細く、チャンネル形成領域は通常ならば短チャンネル効果が発生する程度にまで微細化されている。

【0145】また、図 7 (B) には参考としてシフトレジスタ回路の写真を示す。図 7 (B) に示すシフトレジスタ回路は試作した周辺駆動回路を構成する重要な回路の一つであり、画素領域のアドレスを指定するロジック回路である。特に、水平走査用 (ソース側用) シフトレジスタ回路は実動作時に数 MHz ～ 数十 MHz 程度の非常に高い周波数での駆動を要求される。

【0146】リングオシレータ回路の発振周波数は 9、19、51 組 (段) の CMOS 回路を接続したリングオシレータで測定した。その結果、電源電圧 $3 \sim 5 \text{ V}$ 、9 段のリングオシレータで 300MHz 以上、中には 500 M

Hz を超える発振周波数が得られており、極めて動作速度が速いことが判明した。

【0147】これらの値は従来の作製工程で作製したリングオシレータに比べて20倍近い動作速度を有することを意味している。また、1～5Vの範囲で電源電圧を振っても常に数十～数百MHzの発振周波数を実現している。

【0148】以上の様に、本発明を利用したCMOS回路は回路設計上やむを得ず付加価値が加わった状況においても、問題なく高速動作させることが可能であり、あらゆるロジック回路の要求に応える性能を有している。

【0149】さらに、チャンネル長が0.6 μm と極めて微細化されているにも拘わらず、本実施例に示した様な極めて高速な動作にも耐えうる高い耐圧特性をも有していることは、本発明によるTFETが短チャンネル効果に殆ど影響されず、極めて高い信頼性を有していることを意味している。

【0150】〔本発明の構成から導かれる推察〕実施例1および実施例2で示した様に、本発明に従って作製したTFETは極めて高い性能（高速動作特性、高耐圧特性）を実現している。また、この様な高速動作特性を有していながら劣化に強いという特徴は、経験的にも特異な現象と言える。そこで、本発明者らは本発明によるTFETが何故これほどまで耐劣化性に優れているかを考察し、そこから一つの理論を推察したので以下に記載する。

【0151】本発明者らは、本発明によるTFETの耐圧が高い理由として針状または柱状結晶の結晶粒界の影響を重視した。即ち、本発明者らはチャンネル形成領域に局部的に存在する結晶粒界（酸化物領域と予想される）がソース領域とドレイン領域の間、特にチャンネル形成領域とドレイン領域との間にかかる高電界を効果的に緩和していると推測した。

【0152】具体的には、結晶粒界が特にドレイン領域から広がる空乏層電荷により形成される電界を抑え、ドレイン電圧が高くなった状態（ドレイン側空乏層電荷が増加した状態）においても、ソース側の拡散電位を変化させない様に機能していると考えたのである。

【0153】以上をまとめると、本発明による結晶性珪素膜を活性層に活用した場合、チャンネル形成領域は以下の構成を満たしていると思なせる。

(1) キャリアが移動する（キャリアにとって）実質的に真性な領域（針状または柱状結晶の内部）が存在する。

(2) キャリアの移動を抑制する又はチャンネル方向（ソースドレイン間を結ぶ方向）にかかる電界を緩和するエネルギー障壁が存在する。

【0154】従って、上記2つの構成を満たす、換言すればキャリアにとって実質的に真性なチャンネル形成領域と、局部的に形成されたエネルギー障壁とを有する構成

とすることで本発明が示す様な優れた特性のTFETを作製しうると考えられる。

【0155】以上の構成は、多少の推測を交えてではあるが、本発明者らの実験データから導かれるものである。そこで、本発明者らはこの構成を人為的に創り出すことで同様の効果を得ることができるのではないかと予想した。

【0156】その結果、本発明者らは短チャンネル効果の抑制に効果的な構成を提案するに至った。ここではその概略について、以下に記載する。なお、以下に記載する考察は現状においては推測の範囲に止まるものである。

【0157】短チャンネル効果とは、しきい値電圧の低下、パンチスルー現象に伴う耐圧の劣化およびサブスレッショルド特性の劣化などの総称である。特に問題となるパンチスルー現象はドレイン側の空乏層がソース領域にまで広がることでソース側の拡散電位が低下し、ソース／ドレイン間に貫通電流が流れる現象である。

【0158】そこで本発明者らは本発明の結晶粒界の効果に注目して、チャンネル長が0.01～2 μm 程度の短チャンネルTFETにおいては、チャンネル形成領域に対して人為的かつ局部的に不純物領域を設けることで、ドレイン側の空乏層の広がりを抑制する効果が得られると推測した。

【0159】この様な構成は活性層を図8に示す様な構成とすることで達成できると考えられる。図8(A)において、801はソース領域、802はドレイン領域、803はチャンネル形成領域であり、チャンネル形成領域803の中には人為的に不純物領域804が形成される。また、チャンネル形成領域803中、不純物領域804以外の領域805は、実質的に真性な領域であり、キャリアが移動する領域となる。

【0160】ここで図8(A)に示す構造は、図10に示す本発明の結晶構造体を模した構造である点が重要である。即ち、図10の1001で示される結晶粒界は図8(A)の不純物領域804に相当し、図10の針状または柱状結晶は図8(A)のキャリアが移動する領域805に相当するのである。

【0161】従って、チャンネル形成領域803内に配置された不純物領域804はチャンネル形成領域内に局部的にビルトインポテンシャル（エネルギー障壁とも言える）の大きい領域を形成し、そのエネルギー障壁によってドレイン側空乏層の広がりを効果的に抑制すると推測できる。

【0162】また、図8(A)をA-A'で切断した断面図を図8(B)に示す。806は絶縁表面を有する基板である。また、図8(A)をB-B'で切断した断面図を図8(C)に示す。

【0163】なお、図8(C)においてwpi,nは不純物領域804の幅を表し、wpa,mはキャリアが移動する領域の幅を表す。ここでn、mはチャンネル形成領域803

内において、 $w_{pi,n}$ が n 番目の不純物領域の幅であり、 $w_{pa,m}$ が m 番目のキャリアが移動する領域であることを意味している。

【0164】従って、本発明によるTFTの実際の電界効果移動度は次式に示す理論式に実効的なチャネル幅 W_{pa} ($w_{pa,m}$ を1～ m まで加えた総和)を代入しなくてはならない。

【0165】

$\mu_{FE} = 1 / C_{ox} (\Delta I_d / \Delta V_g) \cdot 1 / V_d \cdot L / W$
ここで C_{ox} はゲイト酸化膜容量、 ΔI_d 、 ΔV_g はそれぞれドレイン電流 I_d とゲイト電圧 V_g の変化量、 V_d はドレイン電圧、 L 、 W はそれぞれチャネル長およびチャネル幅である。

【0166】しかしながら、実効的なチャネル幅 W_{pa} を測定することは現実的に不可能であるため、本明細書中の電界効果移動度はチャネル幅の設計値 W を代入して求めている。即ち、実際の移動度よりも小さい値が得られていると考えられる。

【0167】また、不純物領域を図8(A)に示す様な配置で設けることは移動度の向上に対して非常に大きな意味があると予想される。その理由について以下に説明する。

【0168】移動度(μ_{FE})は半導体膜(ここでは珪素膜を例にとる)中のキャリアの散乱によって決まるが、珪素膜における散乱は格子散乱と不純物散乱とに大別される。これらが影響し合って形成される全体的な移動度 μ は次式で表される。

【0169】

【数1】

$$\mu = (1/\mu_l + 1/\mu_i)^{-1}$$

【0170】この数1で示される式は、全体的な移動度 μ が、格子散乱の影響を受けた場合の移動度 μ_l (l はlatticeを意味する)の逆数および不純物散乱の影響を受けた場合の移動度 μ_i (i はimpurityを意味する)の逆数の和に反比例することを意味している。また、格子散乱および不純物散乱は各々次式で表される。

【0171】

【数2】

$$\mu_l \propto (m^*)^{-5/2} T^{-3/2}$$

【0172】

【数3】

$$\mu_i \propto (m^*)^{-1/2} N_i^{-1} T^{3/2}$$

【0173】これらの式によると、チャネル形成領域全体に均一に不純物が添加された状態では不純物散乱の影響を受けて移動度を稼ぐことができない。しかしながら、図12に示す構成の場合、局部的に不純物領域を形成しているので、キャリアが移動する領域には不純物が

添加されず、キャリアにとって実質的に真性である。

【0174】即ち、理論的には数3においてイオン化した不純物の濃度 N_i を限りなく0に近づけることを意味するため、移動度 μ_i は限りなく無限大に近づいていくことになる。即ち、数1において $1/\mu_i$ の項を無視することができる程度にまで不純物を減少させることを意味するので全体の移動度 μ は限りなく移動度 μ_l に近づいていくと推測される。

【0175】また、図8(A)において不純物領域804がチャネル方向と概略平行となる様に配置されていることは重要である。この様な配置は、図10に示した針状または柱状結晶の結晶粒界の延びる方向と、チャネル方向とが一致した場合に相当する。

【0176】この様な配置とした場合、不純物領域804は「良性的結晶粒界」として振る舞うと予想されるので、キャリアを捕獲することなく、レールの様な役割を果たしてキャリアに移動方向を規定すると推測される。このことは、キャリア同士の衝突による散乱の影響を低減する上で非常に重要な構成である。

【0177】また、以上の様な構成とすることで、短チャネル効果の一つであるしきい値電圧の低下も抑制できると予想される。これはチャネル幅が極端に狭くなった時に生じる狭チャネル効果を、不純物領域間で人為的に引き起こすことが可能であるという推論に基づく予想である。

【0178】また、前述の様にドレイン側空乏層の広がりを抑制することでパンチスルー現象を抑制することが可能と考えられるが、パンチスルー現象を抑制することで耐圧の向上と共にサブスレッショルド特性(S値)の向上も望める。

【0179】サブスレッショルド特性の向上は、本構成を用いることでドレイン側空乏層の占める体積を減じることができるという推論から以下の様に説明できる。

【0180】図8(A)で示す構成とした時に、効果的に空乏層の広がりが抑制されるならば、ドレイン側空乏層の占める体積を大幅に減じることが可能でなはずである。従って、総合的な空乏層電荷を小さくできるため、空乏層容量を小さくできると考えられる。ここで、S値を導出する式は次の近似式で表される。

40. 【0181】

【数4】

$$S \doteq \ln 10 \cdot kT/q [1 + (C_d + C_{it})/C_{ox}]$$

【0182】数4において、 k はボルツマン定数、 T は絶対温度、 q は電荷量、 C_d は空乏層容量、 C_{it} は界面準位の等価容量、 C_{ox} はゲイト酸化膜容量である。従って、本構成では空乏層容量 C_d および界面準位の等価容量 C_{it} を0に可能な限り近づけることで、 $C_d = C_{it} = 0$ となる理想状態、即ちS値が60mV/decadeとなる半導

体装置を実現できる可能性がある。

【0183】ただし、数4に示される式はS値を導出するための近似式であり、TFTではこの近似式に従わずに60mV/decade以下の測定値が得られることもある。

【0184】ところで、本発明から推測される本構成では、本発明の結晶粒界に相当する不純物領域として酸素以外に窒素や炭素を用いても良い。これは、本構成の目的がチャネル形成領域に対して人為的にエネルギー障壁を配置することにあるからである。

【0185】従って、エネルギー障壁を形成するという観点から考えれば、反転層の導電型と逆の導電型を持つ不純物領域でも効果があると言えよう。即ち、Nチャネル型半導体装置ならばBイオンを、Pチャネル型半導体装置ならばPイオンを用いて不純物領域を形成すれば良いと言える。

【0186】また、不純物領域をPまたはBイオンで構成する場合、添加する不純物イオンの濃度で直接的にいきい値制御を行なうことも可能である。

【0187】以上の様に、本構成は本明細書で開示する発明の構成および実験事実をもとに本発明者らの推測により導かれた技術である。本構成を実施することで、チャネル長が極めて短いディープサブミクロン領域の半導体装置で問題となる短チャネル効果を効果的に抑制することができると推測される。

【0188】〔実施例3〕本実施例では実施例1に示した作製工程とは別の工程例を示す。具体的には活性層を形成する前に、結晶性珪素膜に対してハロゲン元素を含む雰囲気における加熱処理を施し、ニッケルをゲッタリング除去する。

【0189】本実施例に示す工程を実施例1と組み合わせることで活性層中のニッケル濃度をさらに効果的に低減することが可能である。

【0190】また、700℃を超える加熱処理によって結晶性珪素膜の膜厚が減少するため、活性層を薄くする効果もある。膜厚が薄くなると移動度の向上やオフ電流の低減といった効果が期待できる。

【0191】〔実施例4〕本実施例では実施例1に示した作製工程とは別の工程例を示す。具体的には実施例1において、ゲイト絶縁膜111を成膜する工程を省略し、活性層を形成した直後にハロゲン元素を含む雰囲気での加熱処理を施す。

【0192】この時形成された熱酸化膜に対して、実施例1と同様に窒素雰囲気中でアニールすることで膜質を改善することができる。この場合、この様な熱酸化膜のみでゲイト絶縁膜を構成することが可能である。また、熱酸化膜の膜厚は加熱処理の条件を調節することで100～1500Å（代表的には500～1000Å）の範囲で形成できる。

【0193】熱酸化膜のみでゲイト絶縁膜を構成すると高速動作の可能な半導体装置を作製できる点と、ゲイト

絶縁膜の成膜工程を簡略化できる点に特徴がある。ただし、膜厚を均一に形成することが困難な場合が多い。

【0194】また、上記工程で形成された熱酸化膜の上に気相法により絶縁膜を堆積して、それらの積層膜をもってゲイト絶縁膜とすることも可能である。その場合、ゲイト耐圧が向上するが、熱酸化膜と気相法による膜との界面を清浄にしておくことが重要である。

【0195】また、上記工程を金属元素（特にニッケル）の除去工程として見なし、上記工程で形成された熱酸化膜を除去して、再度熱酸化膜を形成してゲイト絶縁膜とすることもできる。また、熱酸化膜を除去した後、活性層上に気相法によってゲイト絶縁膜を形成することもできる。この場合、活性層とゲイト絶縁膜の界面に存在する余計な不純物の濃度を低減することが可能であるが、活性層表面の清浄度に注意しなくてはならない。

【0196】〔実施例5〕本実施例では、本発明を応用して作製したTFTをDRAM（Dynamic Random Access Memory）およびSRAM（Static Random Access Memory）に応用した例について説明する。説明には図13を用いることとする。

【0197】DRAMは記憶する情報を電荷としてコンデンサに蓄える形式のメモリである。コンデンサへの情報としての電荷の出し入れは、コンデンサに直列に接続されたTFTによって制御される。DRAMの1個のメモリセルを構成するTFTとコンデンサの回路を図13（A）に示す。

【0198】ワード線1301によってゲイト信号を与えられると、1303で示されるTFTは導通状態となる。この状態でビット線1302側からコンデンサ1304に電荷が充電されて情報を読み込んだり、充電したコンデンサから電荷を取り出して情報を読みだしたりする。即ち、このコンデンサに蓄積された電荷をTFTにより書き込んだり、読み出したりすることで記憶素子としての機能を有することになる。

【0199】DRAMの特徴は1個のメモリを構成する素子数がTFTとコンデンサだけで非常に少ないので、高集積密度の大規模メモリを構成するのに適している。また、価格も低く抑えられるので、現在最も大量に使用されている。

【0200】また、TFTを用いてDRAMセルを形成した場合の特徴として蓄積容量を小さく設定することができるため、低電圧での動作を可能とすることができる。

【0201】次に、受動負荷素子として高抵抗を用いたSRAM回路を図13（B）に示す。なお、受動負荷素子と同様の機能をTFTで代替するSRAM構造をとることも可能である。

【0202】SRAMはフリップフロップ等の双安定回路を記憶素子に用いたメモリであって、双安定回路のON-OFFあるいはOFF-ONの2安定状態に対応し

て2進情報値(0または1)を記憶するものである。電源の供給がある限り記憶が保持される点で有利である。

【0203】1305で示されるのはワード線であり、1306はビット線である。1307は高抵抗で構成される負荷素子であり、1308で示されるような2組のドライバトランジスタと1309で示されるような2組のアクセストランジスタとでSRAMが構成される。

【0204】以上のような構成でなるSRAMの特徴は、高速動作が可能で、信頼性が高くシステムへの組み込みが容易なことなどである。

【0205】〔実施例6〕本実施例では、実施例1の半導体装置および実施例2のCMOS回路を用いて同一基板上に画素マトリクス回路とロジック回路とを集積化したアクティブマトリクス型電気光学装置を構成する例を示す。電気光学装置としては、液晶表示装置、EL表示装置、EC表示装置などが含まれる。

【0206】なお、ロジック回路とは、周辺駆動回路やコントロール回路等の様に電気光学装置を駆動するための集積化回路を指す。アクティブマトリクス型電気光学装置においては、動作性能の限界や集積度の問題もあつてロジック回路は外付けICが一般的であったが、本発明のTFTを用いることで同一基板上に全てを一体化することが可能となる。

【0207】また、コントロール回路とはプロセッサ回路、メモリ回路、クロック発生回路、A/D(D/A)コンバータ回路等の電気光学装置を駆動するに必要な全ての電気回路を含むものとする。勿論、メモリ回路には実施例5、6で示したSRAM回路やDRAM回路が含まれる。

【0208】このような構成に本明細書で開示する発明を利用すると、単結晶上に形成したMOSFETに匹敵する性能を有するTFTでもってロジック回路を構成することができる。

【0209】〔実施例7〕本実施例では実施例1と異なる構造のTFTを作製する例を示す。説明には図14を用いる。

【0210】まず、実施例1と同様の工程を経て図2(B)に示す状態を得る。図2(B)に示す状態を得たら、アルミニウム膜のパターニングに用いた図示しないレジストマスクを除去し、その後、酒石酸中で陽極酸化処理を行い、1000Åの厚さの緻密な陽極酸化膜を得る。この状態を図14(A)に示す。

【0211】図14(A)において、101は石英基板、102は下地膜、110は活性層、111は後にゲイト絶縁膜として機能する熱酸化膜である。また、1401はアルミニウムを主成分とする材料でなるゲイト電極、1402はゲイト電極1401を陽極酸化して得られた緻密な陽極酸化膜である。

【0212】次に、この状態で活性層110に対して一導電性を付与する不純物イオンの注入を行なう。そし

て、このイオン注入工程により不純物領域1403、1404が形成される。

【0213】不純物イオンの注入が終了したら、窒化珪素膜1405を0.5~1μmの厚さに成膜する。成膜方法は減圧熱CVD法、プラズマCVD法、スパッタ法のいずれであっても良い。また、窒化珪素膜以外に酸化珪素膜を用いても良い。

【0214】こうして図14(B)の状態が得られる。図14(B)の状態が得られたら、次に窒化珪素膜1405をエッチバック法によりエッチングして、ゲイト電極1401の側壁にのみ残す。こうして残された窒化珪素膜はサイドウォール1406として機能する。

【0215】この際、熱酸化膜111はゲイト電極がマスクとなった領域以外が除去されて図14(C)に示す様な状態で残存する。

【0216】図14(C)に示す状態で再び不純物イオンの注入を行なう。この時、ドーズ量は先程のイオン注入のドーズ量よりも高めとしておく。このイオン注入の際、サイドウォール1406の直下の領域1407、1408はイオン注入が行なわれないので、不純物イオンの濃度に変化はない。しかし、露出した領域1409、1410はさらに高濃度の不純物イオンが注入されることになる。

【0217】以上の様に2度目のイオン注入を経て、ソース領域1409、ドレイン領域1410およびソース/ドレイン領域よりも不純物濃度の低い低濃度不純物領域(LDD領域)1407、1408が形成される。なお、ゲイト電極1401の直下はアンドープな領域であり、チャンネル形成領域1411となる。

【0218】以上の工程を経て図14(C)の状態が得られたら、300Åの厚さの図示しないチタン膜を成膜し、チタン膜とシリコン(結晶性珪素)膜とを反応させる。そして、チタン膜を除去した後、ランプアニール等による加熱処理を行なうことでソース領域1409、ドレイン領域1410の表面にチタンシリサイド1412、1413を形成する。(図14(D))

【0219】なお、上記工程はチタン膜の代わりにタンタル膜、タングステン膜、モリブデン膜等を用いることも可能である。

【0220】次に、層間絶縁膜1414として酸化珪素膜を5000Åの厚さに成膜し、ソース電極1415、ドレイン電極1416を形成する。こうして図14(D)に示す構造のTFTが完成する。

【0221】本実施例で示す構造のTFTは、ソース/ドレイン電極がチタンシリサイド1412、1413を介してソース/ドレイン領域と接続するので良好なオーミックコンタクトを実現できる。

【0222】〔実施例8〕本実施例では実施例1または実施例7と異なる構造のTFTを作製する例を示す。説明には図15を用いる。

【0223】まず、実施例1と同様の工程を経て図2 (B) に示す状態を得る。ただし、本実施例ではゲイト電極の材料として導電性を付与した結晶性珪素膜を用いることとする。この状態を図15 (A) に示す。

【0224】図15 (A) において、101は石英基板、102は下地膜、110は活性層、111は後にゲイト絶縁膜として機能する熱酸化膜である。また、1501は結晶性珪素膜 (ポリシリコン膜) でなるゲイト電極である。

【0225】次に、この状態で活性層110に対して一導電性を付与する不純物イオンの注入を行なう。そして、このイオン注入工程により不純物領域1502、1503が形成される。(図15 (B))

【0226】不純物イオンの注入が終了したら、実施例7と同様にエッチバック法を用いてサイドウォール1504を形成する。

【0227】そして、サイドウォール1504を形成したら、再び不純物イオンの注入を行なう。以上の2度のイオン注入を経て、ソース領域1507、ドレイン領域1508、低濃度不純物領域 (LDD領域) 1505、20 1506、チャンネル形成領域1509が形成される。

【0228】以上の工程を経て図15 (C) の状態が得られたら、500 Åの厚さの図示しないタングステン膜を成膜し、タングステン膜とシリコン膜とを反応させる。そして、タングステン膜を除去した後、ランプアニール等による加熱処理を行なうことでゲイト電極1501、ソース領域1507、ドレイン領域1508、の表面にタングステンシリサイド1510~1512を形成する。(図15 (D))

【0229】次に、層間絶縁膜1513として窒化珪素膜を4000Åの厚さに成膜し、ソース電極1514、ドレイン電極1515を形成する。こうして図15 (D) に示す構造のTFTが完成する。

【0230】本実施例で示す構造のTFTは、ゲイト電極およびソース/ドレイン電極がタングステンシリサイド1510~1512を介して取り出し電極と接続するので良好なオーミックコンタクトを実現できる。

【0231】〔実施例9〕本実施例では本発明を利用した半導体装置を組み込んだ電気光学装置 (表示装置) の一例を示す。なお、電気光学装置は必要に応じて直視型または投影型で使用するれば良い。また、電気光学装置も半導体を用いて機能する装置と考えられるので、本明細書中における電気光学装置とは、半導体装置の範疇に含まれるものとする。

【0232】また、本発明を利用した半導体装置の応用製品としてはTVカメラ、ヘッドマウントディスプレイ、カーナビゲーション、プロジェクション (フロント型とリア型がある)、ビデオカメラ、パーソナルコンピュータ等が挙げられる。それら応用用途の簡単な一例を図16を用いて行う。

【0233】図16 (A) はTVカメラであり、本体2001、カメラ部2002、表示装置2003、操作スイッチ2004で構成される。表示装置2003はビューファインダーとして利用される。

【0234】図16 (B) はヘッドマウントディスプレイであり、本体2101、表示装置2102、バンド部2103で構成される。表示装置2102は比較的小型のサイズのものが2枚使用される。

【0235】図16 (C) はカーナビゲーションであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。表示装置2202はモニターとして利用されるが、地図の表示が主な目的なので解像度の許容範囲は比較的大いと言える。

【0236】図16 (D) は携帯情報端末機器 (本実施例では携帯電話) であり、本体2301、音声出力部2302、音声入力部2303、表示装置2304、操作ボタン2305、アンテナ2306で構成される。表示装置2303に対しては、将来的にTV電話として動画表示を要求されることが予想される。

【0237】図16 (E) はビデオカメラであり、本体2401、表示装置2402、接眼部2403、操作スイッチ2404、テープホルダー2405で構成される。表示装置2402に映し出された撮影画像は接眼部2403を通してリアルタイムに見ることができるので、使用者は画像を見ながらの撮影が可能となる。

【0238】図16 (F) はフロントプロジェクションであり、本体2501、光源2502、反射型表示装置2503、光学系 (ビームスプリッターや偏光子等が含まれる) 2504、スクリーン2505で構成される。スクリーン2505は会議や学会発表などのプレゼンテーションに利用される大画面スクリーンであるので、表示装置2503は高い解像度が要求される。

【0239】また、本実施例に示した電気光学装置以外にも、リアプロジェクションやモバイルコンピュータ、ハンディターミナルなどの携帯型情報端末機器に適用することができる。以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。

【0240】また、本発明のTFTは電気光学装置に限らず、例えばSRAMやDRAMといった形で集積化回路に組み込み、本実施例で示した様な応用製品の駆動回路として用いることも可能である。

【0241】

【発明の効果】本明細書で開示する発明によれば、単結晶シリコン上に作製したMOSFETに匹敵する高い性能を有したTFTを実現することができる。また、本発明のTFTで構成したリングオシレータは従来のTFTで構成されたリングオシレータに比べて20倍の高速動作が可能である。

【0242】さらに、この様な高い特性を有しているに

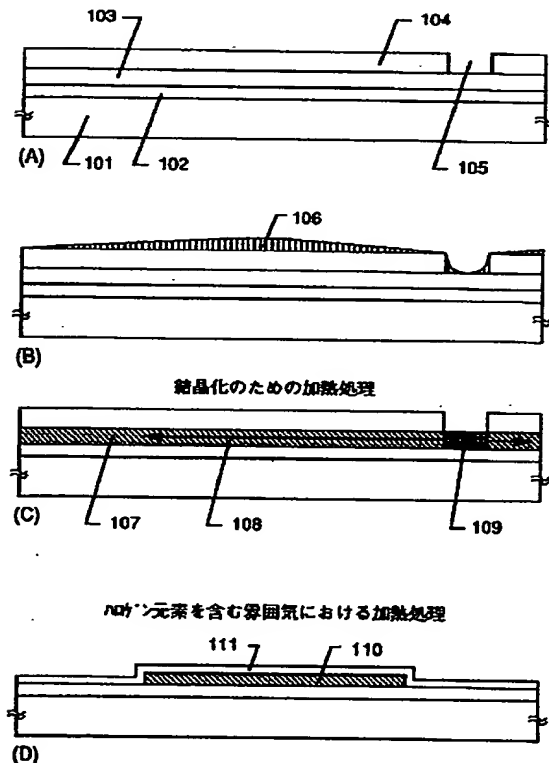
も拘わらずチャネル長が $1\mu\text{m}$ 以下という微細領域においても極めて高い耐圧特性を有しており、短チャネル効果が効果的に抑制されていることが確認できる。

【0243】以上の様なTFTを用いて構成される集積化回路を電気光学装置に適用することで、電気光学装置のさらなる高性能化が実現できる。また、電気光学装置を応用した応用製品も高性能、高付加価値化することができる。

【図面の簡単な説明】

- 【図1】 半導体装置の作製工程を示す図。
 【図2】 半導体装置の作製工程を示す図。
 【図3】 活性層の配置構成を示す図。
 【図4】 半導体装置の特性を示す図。
 【図5】 半導体装置野作製工程を示す図。
 【図6】 半導体装置の作製工程を示す図
 【図7】 電気回路の構成を示す写真。
 【図8】 活性層の構成を示す図。
 【図9】 結晶性珪素膜の表面を示す写真。

【図1】

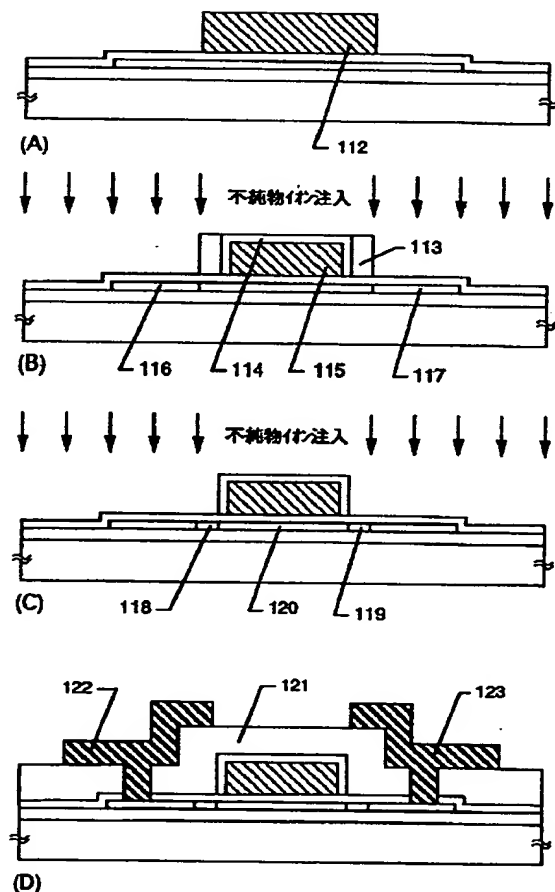


- 【図10】 結晶構造を示す写真。
 【図11】 結晶構造を示す写真。
 【図12】 結晶構造を示す写真。
 【図13】 DRAM、SRAMの構成を示す図
 【図14】 半導体装置の作製工程を示す図。
 【図15】 半導体装置の作製工程を示す図。
 【図16】 半導体装置の応用例を示す図。

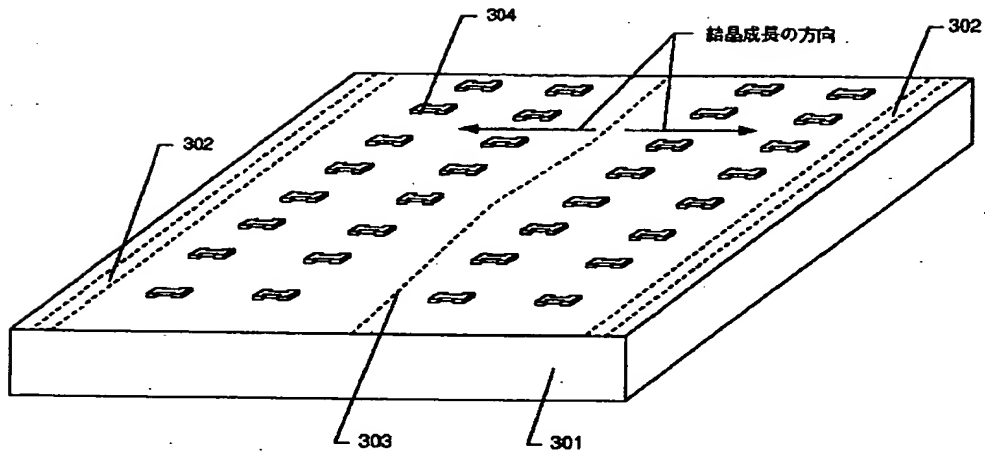
【符号の説明】

- 103 非晶質珪素膜
 104 酸化珪素膜 (マスク絶縁膜)
 105 非晶質珪素膜が露呈した領域
 106 ニッケルを含有した水膜
 107 結晶性珪素膜
 108 結晶化の方向を示す矢印
 109 ニッケル添加領域
 110 活性層
 111 熱酸化膜

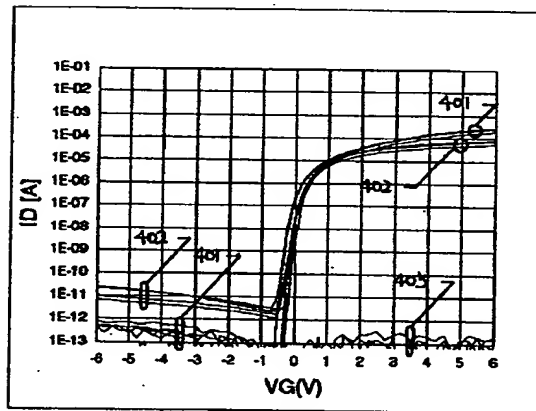
【図2】



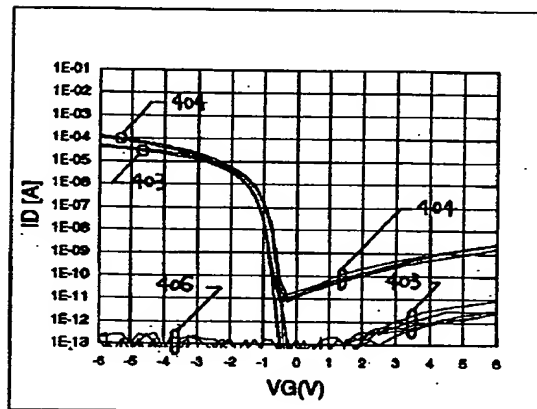
【図 3】



【図 4】

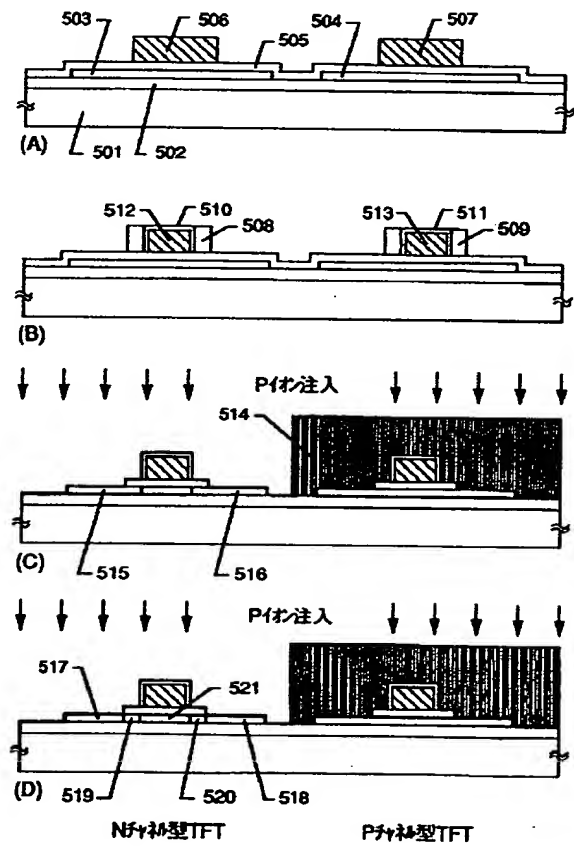


(A)

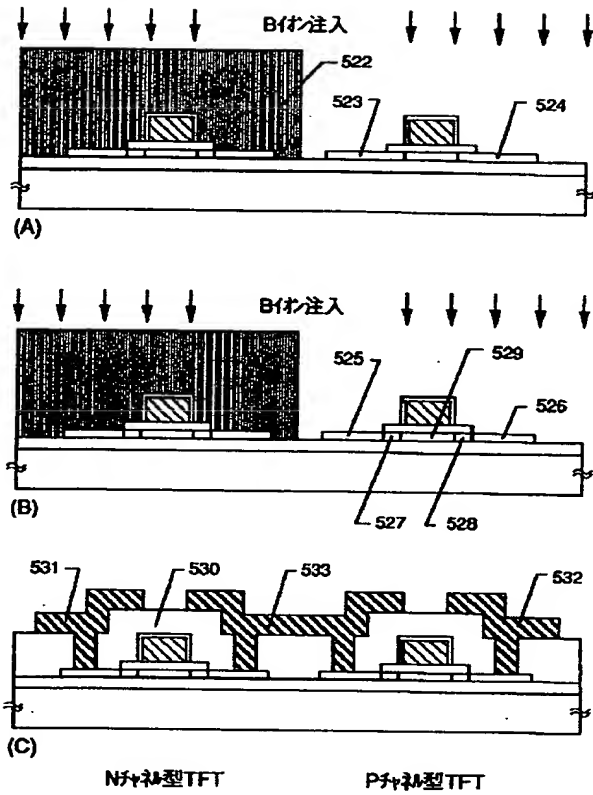


(B)

【図 5】



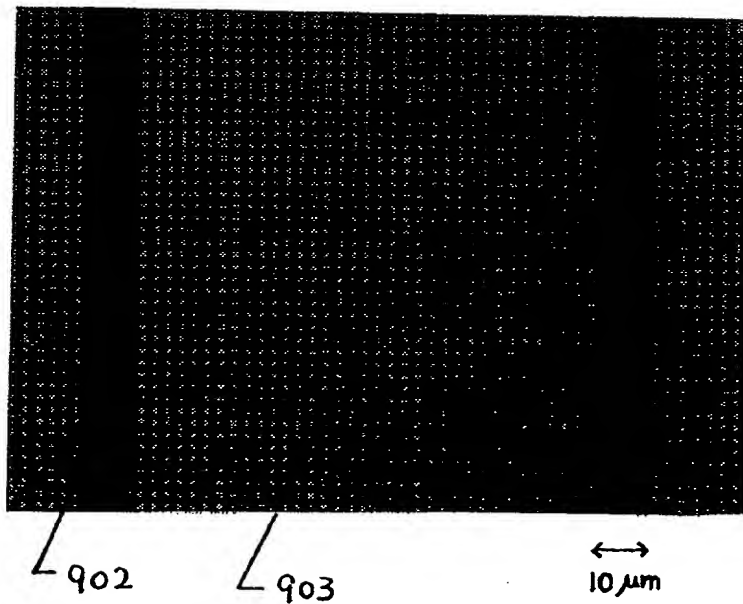
【図 6】



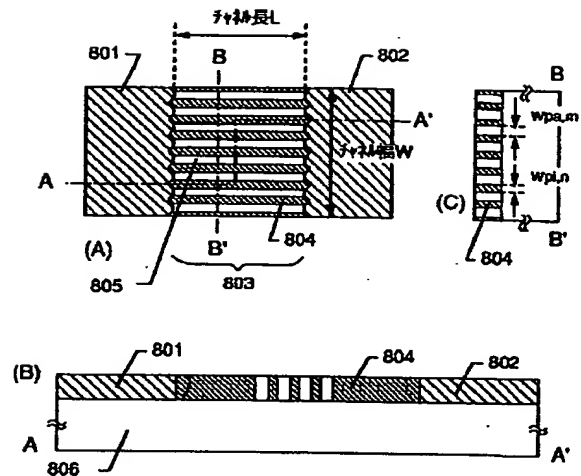
【図 9】

図面代用写真

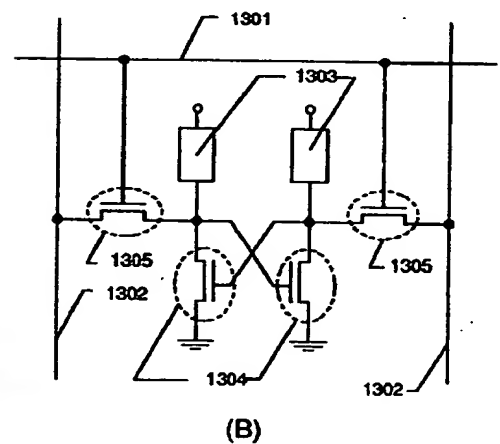
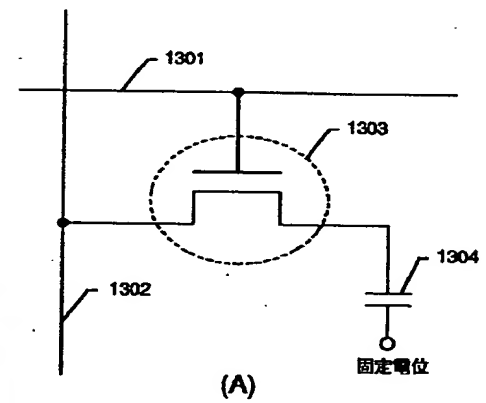
901



【図 8】

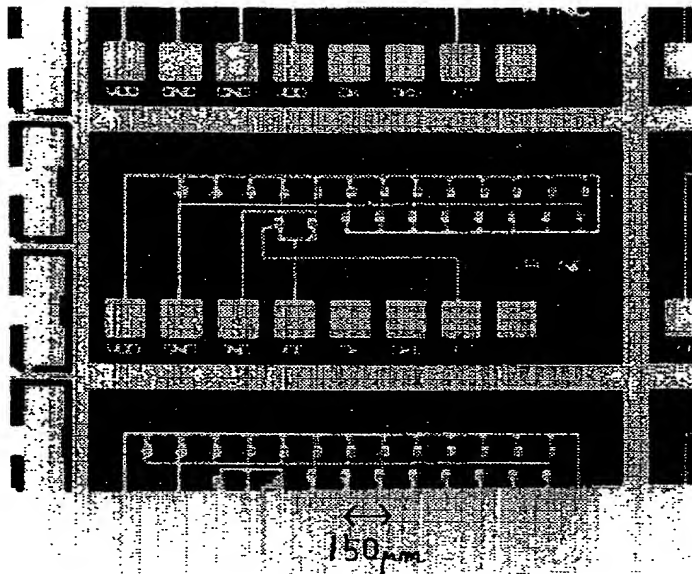


【図 13】

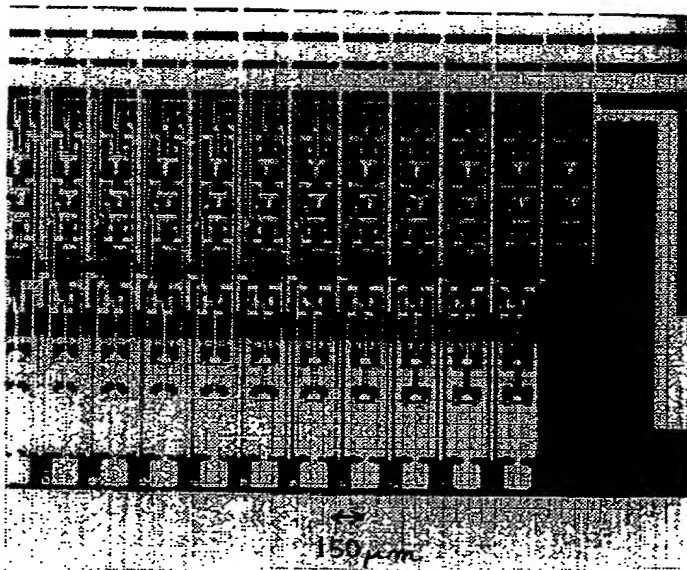


【図7】

図面代用写真

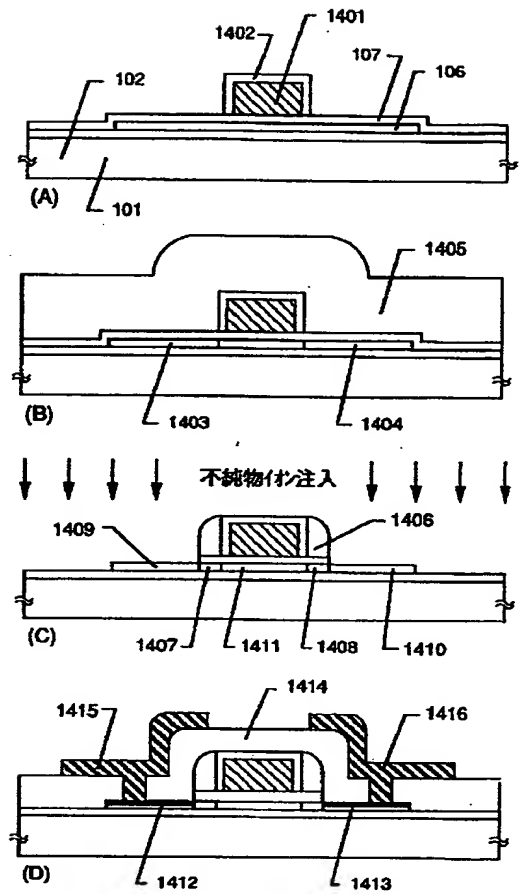


(A)



(B)

【図14】



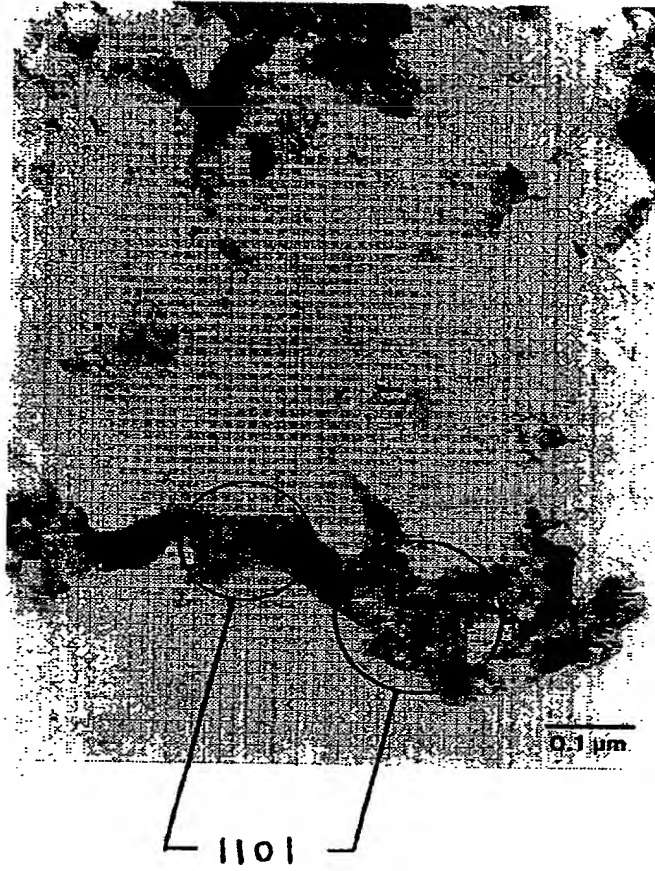
【図 10】

図面代用写真

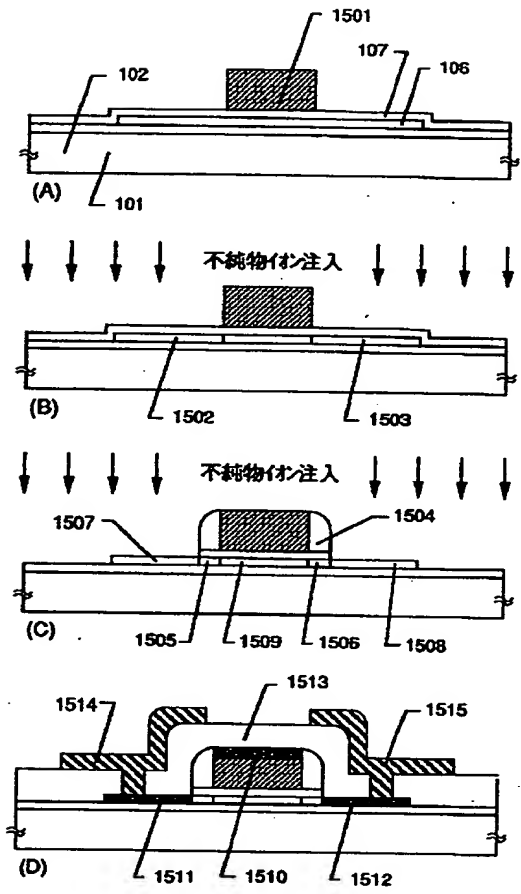


【図 11】

図面代用写真



【図 15】



【図 12】

図面代用写真



【図 16】

